

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-22113

(P2000-22113A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	キーワード (参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4	5 B 0 2 5
G 1 1 C 16/04			4 8 1	5 F 0 0 1
H 0 1 L 27/10	4 8 1	G 1 1 C 17/00	6 2 2 E	5 F 0 8 3
21/8247		H 0 1 L 29/78	3 7 1	
29/788				

審査請求 未請求 請求項の数27 O L (全 34 頁) 最終頁に続く

(21) 出願番号 特願平10-187398

(22) 出願日 平成10年7月2日 (1998.7.2)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 寛

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 有留 誠一

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

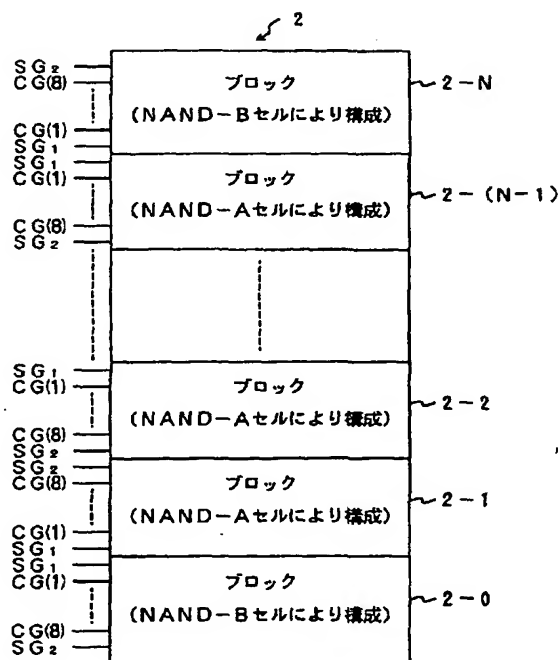
最終頁に続く

## (54) 【発明の名称】 半導体記憶装置

## (57) 【要約】

【課題】 メモリセルアレイ端の領域のエッチング精度の低下に起因した不良を防ぐことができる半導体記憶装置を提供することを目的としている。

【解決手段】 メモリセルM<sub>1</sub>～M<sub>8</sub>を複数個接続した第1のメモリセルユニットにより構成された第1のブロック2-0, 2-Nと、メモリセルM<sub>1</sub>～M<sub>8</sub>を複数個接続した第2のメモリセルユニットにより構成された第2のブロック2-1～2-(N-1)とを有し、両端に前記第1のブロックを、他の部分には前記第2のブロックを配設してメモリセルアレイ2を構成している。そして、前記第1のメモリセルユニットの前記メモリセルアレイ端側の構成が前記第2のメモリセルユニットと異なることを特徴とする。メモリセルアレイ端の領域のエッチング精度の低下に起因した不良を防ぐことができ、チップサイズの増加をほとんど招くことなく、歩留まりが高く且つ動作の信頼性の高い動作を実現できる。



1

## 【特許請求の範囲】

【請求項 1】 メモリセルを複数個接続した第 1 のメモリセルユニットにより構成された第 1 のブロックと、メモリセルを複数個接続した第 2 のメモリセルユニットにより構成された第 2 のブロックとを有し、両端に前記第 1 のブロックを、他の部分には前記第 2 のブロックを配設してメモリセルアレイを構成してなり、前記第 1 のメモリセルユニットの前記メモリセルアレイ端側の構成を前記第 2 のメモリセルユニットと異ならせたことを特徴とする半導体記憶装置。

【請求項 2】 前記第 1 のメモリセルユニット中の前記メモリセルアレイ端側の第 1 の配線は、前記第 2 のメモリセルアレイユニット中の対応する第 2 の配線よりも太く設定されたデータパターンを持つマスクを用いて加工されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記第 1 のメモリセルユニット中の前記メモリセルアレイ端側の第 1 の配線は、前記第 2 のメモリセルユニット中の対応する第 2 の配線よりも太いことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記第 1 の配線は、選択ゲート線であることを特徴とする請求項 2 または 3 に記載の半導体記憶装置。

【請求項 5】 前記第 1 及び第 2 のメモリセルユニット中にはそれぞれコンタクトが設けられ、前記第 2 のメモリセルユニット中のコンタクトと隣接配線間のスペースに比べて、前記第 1 のメモリセルユニット中のコンタクトと隣接配線間のスペースが大きいことを特徴とする請求項 1 または 3 に記載の半導体記憶装置。

【請求項 6】 前記第 2 のメモリセルユニット中にはコンタクトが設けられ、対応する部分にコンタクトが存在しないユニットを前記第 1 のメモリセルユニットとして使用することを特徴とする請求項 1 または 3 に記載の半導体記憶装置。

【請求項 7】 前記コンタクトは、メモリセルユニットのソース側ノードに設けられたコンタクトであることを特徴とする請求項 5 または 6 に記載の半導体記憶装置。

【請求項 8】 前記第 1 のブロックは、ダミーブロックであることを特徴とする請求項 1 ないし 7 いずれか 1 つの項に記載の半導体記憶装置。

【請求項 9】 前記第 1 のブロックは、リダンダンシーブロックであることを特徴とする請求項 1 ないし 5 いずれか 1 つの項に記載の半導体記憶装置。

【請求項 10】 メモリセルまたは該メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイを備え、前記メモリセルアレイ端に配置されたワード線及び選択ゲート線の少なくとも一方が、前記メモリセルアレイ内部のワード線及び選択ゲート線の少なくとも一方よりも太く設定されたデータパターンを持つマスクを用いて選

2

択ゲート線が加工されたことを特徴とする半導体記憶装置。

【請求項 11】 メモリセルまたは該メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイを備え、

前記メモリセルアレイ端に配置されたワード線及び選択ゲート線の少なくとも一方が、前記メモリセルアレイ内部のワード線及び選択ゲート線の少なくとも一方よりも太いことを特徴とする半導体記憶装置。

10 【請求項 12】 メモリセルまたは該メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイを備え、

前記メモリセルユニット内の前記メモリセルを構成するワード線群中の一端に配置されたワード線が、隣接するワード線の線幅よりも広く設定されたデータパターンを持つマスクを用いて加工されたことを特徴とする半導体記憶装置。

20 【請求項 13】 前記マスクのデータパターン中では、前記ワード線群の両端に配置されたワード線の線幅が隣接するワード線の線幅よりも広く設定されていることを特徴とする請求項 12 に記載の半導体記憶装置。

【請求項 14】 前記メモリセルユニット内において、前記マスクのデータパターン中にて線幅が広く設定されたワード線に隣接して選択ゲート線が配設されていることを特徴とする請求項 12 または 13 に記載の半導体記憶装置。

【請求項 15】 前記メモリセルは、浮遊ゲートを有し、電気的にデータの書き込み・消去が可能な不揮発性メモリセルであり、前記ワード線は、前記浮遊ゲート上に配置された制御ゲート線であることを特徴とする請求項 12 ないし 14 いずれか 1 つの項に記載の半導体記憶装置。

【請求項 16】 メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイと、

前記メモリセルユニット中の選択トランジスタのゲートが連続的に延設されて形成された選択ゲート線と、前記メモリセルユニット中のメモリセルのゲートが連続的に延設されて形成された制御ゲート線と、

40 前記メモリセルアレイの前記選択ゲート線及び前記制御ゲート線を選択し、電位を制御するロウデコーダとを備え、

前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる全ての配線層より上層に位置する第 1 の配線層を用いて前記選択ゲート線をメモリセルアレイ端から前記ロウデコーダ中のトランジスタへ接続することを特徴とする半導体記憶装置。

【請求項 17】 前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用

50

3

いる配線層は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な第2の配線層より下層に位置する配線層により形成されることを特徴とする請求項16に記載の半導体記憶装置。

【請求項18】 前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる配線層の配線長のうち、前記第2の配線層による配線が少なくとも半分を占めることを特徴とする請求項16または17に記載の半導体記憶装置。

【請求項19】 前記選択ゲート線のメモリセルアレイから前記ロウデコーダ中のトランジスタへの接続に用いる配線長のうち、前記第1の配線層による配線が少なくとも半分を占めることを特徴とする請求項16ないし18いずれか1つの項に記載の半導体記憶装置。

【請求項20】 メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイと、

前記メモリセルユニット中の選択トランジスタのゲートが連続的に延設されて形成された選択ゲート線と、

前記メモリセルユニット中のメモリセルのゲートが連続的に延設されて形成された制御ゲート線と、

前記メモリセルアレイの前記選択ゲート線及び前記制御ゲート線を選択し、電位を制御するロウデコーダとを備え、

前記制御ゲート線をメモリセルアレイ端から前記ロウデコーダ中のトランジスタに接続する第1の配線が、前記ロウデコーダ中のトランジスタのソース・ドレイン以外のp n接合に接続されていることを特徴とする半導体記憶装置。

【請求項21】 前記ロウデコーダ中のトランジスタのソース・ドレイン以外のp n接合との接続を持たない第2の配線により、前記選択ゲート線がメモリセルアレイから前記ロウデコーダ中のトランジスタまで接続されていることを特徴とする請求項20に記載の半導体記憶装置。

【請求項22】 前記第1の配線を構成する配線層のうち最上層の配線層は、前記第2の配線を構成する配線層のうち最上層の配線層と同一の配線層であることを特徴とする請求項20または21に記載の半導体記憶装置。

【請求項23】 前記第1の配線を構成する配線層のうち最上層の配線層は、前記第2の配線を構成する配線層のうち最上層の配線層より下層に位置する配線層であることを特徴とする請求項20または21に記載の半導体記憶装置。

【請求項24】 前記第1の配線は、p型拡散層とn型拡散層の両方に接続されていることを特徴とする請求項20ないし23いずれか1つの項に記載の半導体記憶装置。

【請求項25】 前記第1の配線は、メモリセルアレイ

4

内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より下層に位置する配線層により構成されていることを特徴とする請求項20ないし24いずれか1つの項に記載の半導体記憶装置。

【請求項26】 前記第2の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より上層に位置する配線層を含むことを特徴とする請求項20ないし25いずれか1つの項に記載の半導体記憶装置。

【請求項27】 前記メモリセルユニットは、NAND型EEPROMであることを特徴とする請求項1ないし26いずれか1つの項に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関するもので、特にNANDセル、NORセル、DINORセル及びANDセル型EEPROM等の不揮発性半導体記憶装置に好適なものである。

【0002】

【従来の技術】半導体記憶装置の一種として、電気的書き替えを可能としたEEPROMが知られている。なかでも、メモリセルを複数個直列接続してNANDセルブロックを構成するNANDセル型EEPROMは、高集積化が図れるものとして注目されている。

【0003】NANDセル型EEPROMにおける一つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート（電荷蓄積層）と制御ゲートが積層されたFET-MOS構造を有する。そして、複数個のメモリセルが隣接するもの同士でソース・ドレインを共有する形で直列接続されてNANDセルを構成し、これを一単位としてビット線に接続するものである。このようなNANDセルがマトリックス配列されてメモリセルアレイが構成される。上記メモリセルアレイは、通常、p型半導体基板、またはp型ウェル領域内に集積形成される。

【0004】上記メモリセルアレイの列方向に並ぶNANDセルの一端側のドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通接続され、他端側ソースはやはり選択ゲートトランジスタを介して共通ソース線に接続されている。メモリセルの制御ゲート電極及び選択ゲートトランジスタのゲート電極は、それぞれメモリセルアレイの行方向に沿って連続的に延設され、制御ゲート線（ワード線）及び選択ゲート線として用いられる。

【0005】このようなNANDセル型EEPROMの動作は、次の通りである。まず、データの書き込み動作は、ビット線コンタクトから最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 $V_{pp}$ （ $=20V$ 程度）を印加し、それよりビット線コンタクト側にあるメモリセルの制御ゲート及び選択ゲートには中間電位 $V_{mc}$ （ $=10V$ 程度）を印加

10

20

30

40

50

5

し、ビット線にはデータに応じて0Vまたは中間電位 $V_{mb}$  (=8V程度)を与える。ビット線に0Vが与えられたとき、その電位は選択メモリセルのドレインまで伝達されて、ドレインから浮遊ゲートに電子注入が生じる。これにより、その選択されたメモリセルのしきい値電圧は正方向にシフトする。この状態を“1”とする。これに対し、ビット線に中間電位 $V_{mb}$ が与えられたときは電子注入が起らず、従ってしきい値電圧は変化せず、負に止まる。この状態が“0”である。

【0006】データ消去は、選択されたNANDセルブロック内の全てのメモリセルに対して同時に行われる。すなわち、選択されたNANDセルブロック内の全ての制御ゲートを0Vとし、ビット線、ソース線、p型ウェル領域（もしくはp型半導体基板）、非選択NANDセルブロック中の制御ゲート及び全ての選択ゲートに20V程度の高電圧を印加する。これにより、選択NANDセルブロック中の全てのメモリセルで浮遊ゲート中の電子がp型ウェル領域（もしくはp型半導体基板）に放出され、しきい値電圧が負方向にシフトする。

【0007】一方、データ読み出し動作は、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電圧 $V_{cc}$ として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0008】次に、このようなNANDセル型EEPROMにおけるメモリセルアレイ、ブロック配置及びNANDセルの構成等について詳しく説明する。

【0009】図32は、上述した従来のNANDセル型EEPROMにおけるメモリセルアレイ中のブロック配置を示している。図32では、メモリセルアレイ1中の全ブロック1-0~1-Nが同一構成のNANDセル（NAND-Aセルと称する）にて構成されている。各ブロック1-0~1-Nにはそれぞれ、選択ゲート線 $SG_1$ 、 $SG_2$ と制御ゲート線 $CG(1) \sim CG(8)$ が接続されており、ロウデコーダからこれら選択ゲート線 $SG_1$ 、 $SG_2$ と制御ゲート線 $CG(1) \sim CG(8)$ に供給されたロウアドレスに応じてブロック及びNANDセルの行が選択される。

【0010】図33は、上記図32に示したメモリセルアレイ1の一部の詳細な構成例を示しており、NANDセルがマトリクス配列されたメモリセルアレイの等価回路図である。図32に示したメモリセルアレイ1中の各ブロック1-0~1-Nは、図33における破線部の領域1-L（ $L=0 \sim N$ ）に相当する。ここでは、同一のワード線や選択ゲート線を共有するNANDセル群をブロックと呼び、図33中の破線で囲まれた領域1-Lが1個のブロックと定義することにする。各NANDセルの選択ゲートトランジスタ $S_1$ のドレインはビット線 $BL_1$ 、 $BL_2$ 、 $\dots$ 、 $BL_m$ に接続され、選択ゲートトランジスタ $S_2$ のソースは共通ソース線CSに接続され

6

ている。そして、上記選択ゲートトランジスタ $S_1$ のソースと $S_2$ のドレイン間に、メモリセル $M_1$ 、 $M_2$ 、 $\dots$ 、 $M_8$ が直列接続される。読み出し・書き込み等の動作は、通常、選択ゲートトランジスタ $S_1$ 、 $S_2$ によって複数のブロックのうち1個を選択（選択ブロックと呼ぶ）して行われる。

【0011】図34及び図35はそれぞれ、上記図33に示した回路における一つのNANDセルを抽出して詳細に示している。図34(a)、(b)はNANDセル部分のパターン平面図と等価回路図であり、図35

(a)、(b)はそれぞれ図34(a)に示したパターンのA-A'線及びB-B'線に沿った断面構成図である。素子分離酸化膜12で囲まれたp型シリコン基板（またはp型ウェル領域）11には、複数のNANDセルからなるメモリセルアレイが形成されている。この例では、一つのNANDセルには8個のメモリセル $M_1$ 、 $M_2$ 、 $\dots$ 、 $M_8$ が直列接続されている。

【0012】各メモリセル $M_1$ 、 $M_2$ 、 $\dots$ 、 $M_8$ はそれぞれ、基板11上にゲート絶縁膜13を介して浮遊ゲート14（ $14_1$ 、 $14_2$ 、 $\dots$ 、 $14_8$ ）が形成され、この上に絶縁膜15を介して制御ゲート16（ $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_8$ ）が形成されて構成されている。これらのメモリセルのソース、ドレインであるn型拡散層19（ $19_1$ 、 $19_2$ 、 $\dots$ 、 $19_9$ ）は、隣接するもの同士共用する形で接続され、これによりメモリセル $M_1$ 、 $M_2$ 、 $\dots$ 、 $M_8$ が直列接続されている。

【0013】上記NANDセルのドレイン側、ソース側にはそれぞれ、メモリセルの浮遊ゲート、制御ゲートと同一工程で形成された選択ゲート14<sub>9</sub>、16<sub>9</sub>及び14<sub>10</sub>、16<sub>10</sub>が設けられている。上記選択ゲート14<sub>9</sub>と16<sub>9</sub>及び14<sub>10</sub>と16<sub>10</sub>はそれぞれ、図示しない領域で電氣的に接続されており、選択ゲートトランジスタ $S_1$ 、 $S_2$ のゲート電極として働く。このように素子形成された基板11上は、CVD酸化膜（層間絶縁膜）17により覆われ、このCVD酸化膜17上にビット線18が配設されている。上記ビット線18は、NANDセルの一端のドレイン側拡散層19<sub>0</sub>にコンタクトされている。行方向に並ぶNANDセルの制御ゲート14は、共通に制御ゲート線 $CG(1)$ 、 $CG(2)$ 、 $\dots$ 、 $CG(8)$ として配設されている。これら制御ゲート線はワード線として働く。選択ゲート14<sub>9</sub>、16<sub>9</sub>及び14<sub>10</sub>、16<sub>10</sub>もそれぞれ行方向に連続的に選択ゲート線 $SG_1$ 、 $SG_2$ として配設されている。また、ビット線18と制御ゲート線・選択ゲート専用配線層との間にソース線用配線層22が配設され、NANDセルのソース側拡散層19<sub>10</sub>（ビット線コンタクトと反対側の端）にコンタクトされている。

【0014】このように、従来はメモリセルアレイ内の各ブロックにおいて、全て同一寸法で同一構成のメモリセルが形成されていた。

7

【0015】ところで、図32に示したようなメモリセルアレイでは、各ブロックが規則的に並んでいるため、制御ゲート線CG(1)～CG(8)と選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>はメモリセルアレイ全体としてほぼ周期的に並んでおり、従ってメモリセルアレイ1の内部に位置するブロック(図32中のブロック1-1～ブロック1-(N-1)に相当)ではワード線等の加工精度は比較的高くなる。しかしながら、メモリセルアレイ端に位置するブロック(図32中のブロック1-0、ブロック1-Nに相当)中の特にメモリセルアレイ1の外周近傍(図33の選択ゲート線SG<sub>2</sub>近傍)では、配線パターンの周期性が崩れるため、エッチングの条件が均一にならず、加工精度が低下する。

【0016】通常、メモリセルアレイ端のブロックは加工精度の低下を懸念して不使用ブロックとするが、この場合にも充分な対策とはならず、図32のブロック1-0、1-N中の選択ゲート線SG<sub>2</sub>の断線、あるいは選択ゲート線SG<sub>2</sub>の配線幅の増加によるソース線コンタクト部とのショート等が発生し、問題となっていた。一般に、選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>は、ブロックの選択・非選択に応じてレベルが設定される配線であり、ブロックの非選択時にはビット線やソース線とNANDセルを非選択状態とすることにより、書き込み・読み出し等の動作時の非選択ブロックによる影響をなくしている。しかしながら、断線した場合には上記した非導通状態の実現が困難になり、この場合にはビット線からのリーク電流の発生やビット線とソース線の負荷容量の増加、ビット線とソース線間のショート等の問題が発生し、動作マージンの低下や動作不良を招くことになる。また、選択ゲート線SG<sub>2</sub>がソース線コンタクト部とショートした場合にも、ソース線電圧や選択ゲート線SG<sub>2</sub>電圧が変動し、不良を招くことになる。

【0017】上述した配線パターンの周期性の崩れによる加工精度の低下の問題は、より高い精度が望まれる場合には、メモリセルアレイ全体のみならず、一つのNANDセルに対しても同様に言える。次に、図36及び図37を用いて一つのNANDセルに着目した場合の加工精度の低下について詳しく説明する。図36(a)、(b)は、メモリセルアレイの一つのNANDセル部分のパターン平面図と等価回路図であり、図37(a)、(b)はそれぞれ図36(a)のA-A'線及びB-B'線に沿った断面構成図である。図36(a)、(b)及び図37(a)、(b)において図34(a)、(b)及び図35(a)、(b)と同一構成部分には同じ符号を付してその詳細な説明は省略する。

【0018】ここでは、図36(a)、(b)及び図37(a)、(b)における選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>の線幅をWsg1、Wsg2、制御ゲート線CG

(1)、CG(2)、…、CG(8)の線幅をそれぞれWcg1、Wcg2、…、Wcg8、制御ゲート線間の

8

スペースをそれぞれScg12、Scg23、…、Scg78、制御ゲート線と選択ゲート線間のスペースをSsg1、Ssg2にてそれぞれ表している。これら図36(a)、(b)及び図37(a)、(b)に示すNANDセルが上記図34(a)、(b)及び図35

(a)、(b)に示したNANDセルと異なるのは、ソース線用の配線層22が設けられていない点である。

【0019】このようなNANDセルにおいて、従来はNANDセル内の全制御ゲート線幅の加工の狙い目が同一であった。つまり、図36(a)及び図37(a)において、Wcg1=Wcg2=…=Wcg8であった。また、制御ゲート線間のスペースも全て同一、つまりScg12=Scg23=…=Scg78となっていた。一方、選択ゲート線幅は、選択ゲートトランジスタS<sub>1</sub>やS<sub>2</sub>のカットオフ特性を向上(SG<sub>1</sub>=SG<sub>2</sub>=0V時のリーク電流低減)させる目的で、選択ゲート線幅が制御ゲート線幅より少し太くするように設定されていた。

【0020】更に、選択ゲート線SG<sub>1</sub>やSG<sub>2</sub>は配線層14が連続している(選択ゲート線方向の隣接した選択ゲートトランジスタ間にて配線層14が接続されている)のに対し、各制御ゲート線CGでは配線層14がメモリセル間にて分断されている(図36(a)の斜線部参照)。このため、制御ゲート線部の配線層14の加工時における選択ゲート線部の配線層14へのダメージを低減するために、スペースSsg1やSsg2をScg12～Scg78に比べて大きくする場合もあった。

【0021】このように、従来のNANDセルでは、制御ゲート線CG(1)～CG(8)の間は線幅・スペースともに周期的(同一寸法)に配列されていたが、制御ゲート線の配列部以外の領域(図36(a)の制御ゲート線CG(1)より上側の領域や制御ゲート線CG(8)より下側の領域に相当)では配線配列の周期性が崩れていた。このため、隣接配線との周期性が保たれている制御ゲート線CG(2)～CG(7)と比較して、CG線配列部の両端の制御ゲート線CG(1)やCG(8)の加工が不安定、つまり加工精度が低下するという問題があった。加工精度が低下すると、加工ばらつきにより、選択ゲート線に隣接した制御ゲート線の線幅、つまり対応するメモリセルのチャネル長がばらつくことになる。

【0022】加工精度が低下した場合の最も大きな問題は、上記した両端の制御ゲート線CG(1)やCG(8)の線幅が狙い目よりも細くなる場合である。図38を用いてこの説明をする。制御ゲート線CG(1)が狙い目の線幅にある場合には、図38(a)に示すように、メモリセルのカットオフ特性が良好なため、“1”データ(浮遊ゲートに負電荷が注入された状態)を持つメモリセルにはゲート電圧が0Vの際には電流(リーク電流IL)が流れない。一方、制御ゲート線CG(1)

9

が狙い目よりも細くなった場合には、メモリセルM<sub>1</sub>のチャネル長が短くなるため、メモリセルのカットオフ特性が低下（本来オフすべき状態でのリーク電流（図38

（b）参照）が増大）するため、このメモリセルに書き込んだデータに拘わらず、つまり浮遊ゲート14<sub>j</sub>中の電荷量に拘わらず、常にメモリセルM<sub>1</sub>に電流I<sub>L</sub>が流れる状態となり、常に“0”データが読み出されることになる。従って、正常なデータの書き込み・読み出しができなくなるという問題があった。制御ゲート線CG

（1）の場合と同様に制御ゲート線CG（8）の線幅が狙い目より細くなった場合にも同じ問題が発生していた。この問題をなくすため制御ゲート線幅を8本とも一様に太くすると、メモリセルサイズが大きくなるという新たな問題が生じる。

【0023】ところで、上述したようなNANDセルにおいて、従来は、メモリセルアレイ内からロウデコーダ内への制御ゲート線と選択ゲート線との接続には、それぞれ図39（a）、（b）のような配線構造を用いていた。通常、異なる配線層間を接続するためのコンタクトを取る際に、RIE等によるエッチング工程において、コンタクトを取る配線層が帯電して配線の電位の絶対値が高くなる場合がある。この時には、pn接合に接続されていない配線は電圧降下を起こす電流パスがないため、高い電位が保たれることになる。この際、特に問題となるのが、メモリセルの制御ゲートに相当する制御ゲート線である。

【0024】一般に、NAND型EEPROM等のメモリセルでは、従来は制御ゲート線はpn接合に接続しておらず、製造工程中に高い電位がかかる。また、データの書き込みや消去時に、制御ゲート線とp型ウェル領域間に20V程度という高い電位差がかかる。更に、トンネル電流を用いて、浮遊ゲートへの電子の注入・放出を100,000回以上行えることが要求される。このように、制御ゲート線とp型ウェル領域の間にある絶縁膜（配線層16<sub>i</sub>（i=1~8）と配線層14<sub>i</sub>（i=1~8）の間の酸化膜、及び配線層14<sub>i</sub>（i=1~8）とp型ウェル領域の間の酸化膜に相当）には大変高い電界がかかる。しかも、データは浮遊ゲート中の電荷により決定するため、浮遊ゲートの電荷保持特性が極めて重要であり、リーク電流による浮遊ゲートからの電荷の抜けは許されない。従って、制御ゲート線とp型ウェル領域の間にある絶縁膜の信頼性が極めて重要である。

【0025】ところが、従来は、制御ゲート線と選択ゲート線をメモリセルアレイからロウデコーダ内のトランジスタQNに接続する際に、制御ゲート線より上層に位置する2種類の配線層22、18を用いて配線を行っていた。このため、製造工程中に制御ゲート線としての配線層16<sub>i</sub>にコンタクトを取る工程が2回（図39

（a）中の（ア）と（イ）に相当）もあった。この場合には、（ア）のコンタクト加工時に制御ゲート線が帯電

10

するばかりでなく、既に配線層16<sub>i</sub>と配線層22がコンタクト（ア）により接続されているため、（イ）の加工時にも制御ゲート線が帯電することになる。このため、制御ゲート線に高い電圧がかかる時間が長くなり、制御ゲート線へ印加されるストレスが大きくなり、酸化膜の膜質が悪化するという問題があった。この結果、メモリセルの保持しているデータの信頼性が低下し、データ破壊の危険が高くなる。

【0026】一方、選択ゲート線の場合には、印加される電圧が最高でも10V程度であることに加え、浮遊ゲートを持たない（配線層14<sub>j</sub>（j=9,10）は連続的に配設され、メモリセルアレイの内外にて直接電圧を印加されている）ため、通常は多少のストレスが印加されても信頼性上は大きな問題とならない。

【0027】

【発明が解決しようとする課題】このように、従来のNANDセル型EEPROM等の半導体記憶装置においては、メモリセルアレイ端のブロックの加工精度が低下し、動作マージン低下や動作不良が発生するという問題があった。

【0028】また、従来のNANDセル型EEPROM等の半導体記憶装置においては、選択ゲート線に隣接した制御ゲート線の加工精度が他の制御ゲート線に比べて低く、線幅が狙い目より細くなった場合には、正常なデータの書き込み・読み出しが行えなくなるという問題があった。また、この問題をなくすため制御ゲート線幅を一様に太くすると、メモリセルサイズが大きくなるという問題があった。

【0029】更に、従来のNANDセル型EEPROM等の半導体記憶装置においては、製造工程中に制御ゲート線に印加されるストレスが大きいため、メモリセルの浮遊ゲートまわりの絶縁膜の信頼性が低下し、データ破壊の危険が高くなるという問題があった。

【0030】本発明は上記のような事情に鑑みてなされたもので、その目的とするところは、メモリセルアレイ端領域の加工精度の低下に起因した不良を防ぐことができ、チップサイズをほとんど増加させることなく、動作の信頼性が高く且つ歩留まりも高いチップを実現できる半導体記憶装置を提供することにある。

【0031】また、本発明の他の目的は、ワード線まわりの配線の周期性の崩れに起因した加工精度の低下により起こる、極端に線幅が細いワード線の発生を防ぐことができ、チップサイズの大幅な増加を招くことなく、データ書き込み・読み出しの信頼性が高いチップを実現できる半導体記憶装置を提供することにある。

【0032】本発明の更に他の目的は、製造工程においてメモリセルに印加されるストレスを低減したり、ロウデコーダのパターン面積を縮小することができ、動作の信頼性や歩留まりが高い安価なチップを実現できる半導体記憶装置を提供することにある。

## 【0033】

【課題を解決するための手段】本発明の請求項1に記載した半導体記憶装置は、メモリセルを複数個接続した第1のメモリセルユニットにより構成された第1のブロックと、メモリセルを複数個接続した第2のメモリセルユニットにより構成された第2のブロックとを有し、両端に前記第1のブロックを、他の部分には前記第2のブロックを配設してメモリセルアレイを構成してなり、前記第1のメモリセルユニットの前記メモリセルアレイ端側の構成を前記第2のメモリセルユニットと異ならせたことを特徴としている。

【0034】また、請求項2に記載したように、請求項1の半導体記憶装置において、前記第1のメモリセルユニット中の前記メモリセルアレイ端側の第1の配線は、前記第2のメモリセルアレイユニット中の対応する第2の配線よりも太く設定されたデータパターンを持つマスクを用いて加工されることを特徴とする。

【0035】請求項3に記載したように、請求項1に記載の半導体記憶装置において、前記第1のメモリセルユニット中の前記メモリセルアレイ端側の第1の配線は、前記第2のメモリセルユニット中の対応する第2の配線よりも太いことを特徴とする。

【0036】請求項4に記載したように、請求項2または3に記載の半導体記憶装置において、前記第1の配線は、選択ゲート線であることを特徴とする。

【0037】更に、請求項5に記載したように、請求項1または3に記載の半導体記憶装置において、前記第1及び第2のメモリセルユニット中にはそれぞれコンタクトが設けられ、前記第2のメモリセルユニット中のコンタクトと隣接配線間のスペースに比べて、前記第1のメモリセルユニット中のコンタクトと隣接配線間のスペースが大きいことを特徴とする。

【0038】請求項6に記載したように、請求項1または3に記載の半導体記憶装置において、前記第2のメモリセルユニット中にはコンタクトが設けられ、対応する部分にコンタクトが存在しないユニットを前記第1のメモリセルユニットとして使用することを特徴とする。

【0039】請求項7に記載したように、請求項5または6に記載の半導体記憶装置において、前記コンタクトは、メモリセルユニットのソース側ノードに設けられたコンタクトであることを特徴とする。

【0040】請求項8に記載したように、請求項1ないし7いずれか1つの項に記載の半導体記憶装置において、前記第1のブロックは、ダミーブロックであることを特徴とする。

【0041】請求項9に記載したように、請求項1ないし5いずれか1つの項に記載の半導体記憶装置において、前記第1のブロックは、リダンダンシーブロックであることを特徴とする。

【0042】また、本発明の請求項10に記載した半導

体記憶装置は、メモリセルまたは該メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイを備え、前記メモリセルアレイ端に配置されたワード線及び選択ゲート線の少なくとも一方が、前記メモリセルアレイ内部のワード線及び選択ゲート線の少なくとも一方よりも太く設定されたデータパターンを持つマスクを用いて選択ゲート線が加工されたことを特徴としている。

【0043】更にまた、本発明の請求項11に記載した半導体記憶装置は、メモリセルまたは該メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイを備え、前記メモリセルアレイ端に配置されたワード線及び選択ゲート線の少なくとも一方が、前記メモリセルアレイ内部のワード線及び選択ゲート線の少なくとも一方よりも太いことを特徴としている。

【0044】本発明の請求項12に記載した半導体記憶装置は、メモリセルまたは該メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイを備え、前記メモリセルユニット内の前記メモリセルを構成するワード線群中の一端に配置されたワード線が、隣接するワード線の線幅よりも広く設定されたデータパターンを持つマスクを用いて加工されたことを特徴としている。

【0045】また、請求項13に記載したように、請求項12に記載の半導体記憶装置において、前記マスクのデータパターン中では、前記ワード線群の両端に配置されたワード線の線幅が隣接するワード線の線幅より広く設定されていることを特徴とする。

【0046】請求項14に記載したように、請求項12または13に記載の半導体記憶装置において、前記メモリセルユニット内において、前記マスクのデータパターン中にて線幅が広く設定されたワード線に隣接して選択ゲート線が配設されていることを特徴とする。

【0047】請求項15に記載したように、請求項12ないし14いずれか1つの項に記載の半導体記憶装置において、前記メモリセルは、浮遊ゲートを有し、電氣的にデータの書き込み・消去が可能な不揮発性メモリセルであり、前記ワード線は、前記浮遊ゲート上に配置された制御ゲート線であることを特徴とする。

【0048】更に、本発明の請求項16に記載した半導体記憶装置は、メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイと、前記メモリセルユニット中の選択トランジスタのゲートが連続的に延設されて形成された選択ゲート線と、前記メモリセルユニット中のメモリセルのゲートが連続的に延設されて形成された制御ゲート線と、前記メモリセルアレイの前記選択ゲート線及び前記制御ゲート線を選択し、電位を制御するロウデコーダとを備え、前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中の

13

トランジスタへの接続に用いる全ての配線層より上層に位置する第1の配線層を用いて前記選択ゲート線をメモリセルアレイ端から前記ロウデコーダ中のトランジスタへ接続することを特徴としている。

【0049】請求項17に記載したように、請求項16の半導体記憶装置において、前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる配線層は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な第2の配線層より下層に位置する配線層により形成されることを特徴とする。

【0050】請求項18に記載したように、請求項16または17に記載の半導体記憶装置において、前記制御ゲート線のメモリセルアレイ端から前記ロウデコーダ中のトランジスタへの接続に用いる配線層の配線長のうち、前記第2の配線層による配線が少なくとも半分を占めることを特徴とする。

【0051】請求項19に記載したように、請求項16ないし18いずれか1つの項に記載の半導体記憶装置において、前記選択ゲート線のメモリセルアレイから前記ロウデコーダ中のトランジスタへの接続に用いる配線長のうち、前記第1の配線層による配線が少なくとも半分を占めることを特徴とする。

【0052】更に、本発明の請求項20に記載した半導体記憶装置は、メモリセルを複数個接続したメモリセルユニットがアレイ状に配列されたメモリセルアレイと、前記メモリセルユニット中の選択トランジスタのゲートが連続的に延設されて形成された選択ゲート線と、前記メモリセルユニット中のメモリセルのゲートが連続的に延設されて形成された制御ゲート線と、前記メモリセルアレイの前記選択ゲート線及び前記制御ゲート線を選択し、電位を制御するロウデコーダとを備え、前記制御ゲート線をメモリセルアレイ端から前記ロウデコーダ中のトランジスタに接続する第1の配線が、前記ロウデコーダ中のトランジスタのソース・ドレイン以外のpn接合に接続されていることを特徴としている。

【0053】請求項21に記載したように、請求項20記載の半導体記憶装置において、前記ロウデコーダ中のトランジスタのソース・ドレイン以外のpn接合との接続を持たない第2の配線により、前記選択ゲート線がメモリセルアレイから前記ロウデコーダ中のトランジスタまで接続されていることを特徴とする。

【0054】請求項22に記載したように、請求項20または21に記載の半導体記憶装置において、前記第1の配線を構成する配線層のうち最上層の配線層は、前記第2の配線を構成する配線層のうち最上層の配線層と同一の配線層であることを特徴とする。

【0055】請求項23に記載したように、請求項20または21に記載の半導体記憶装置において、前記第1の配線を構成する配線層のうち最上層の配線層は、前記

14

第2の配線を構成する配線層のうち最上層の配線層より下層に位置する配線層であることを特徴とする。

【0056】更にまた、請求項24に記載したように、請求項20ないし23いずれか1つの項に記載の半導体記憶装置において、前記第1の配線は、p型拡散層とn型拡散層の両方に接続されていることを特徴とする。

【0057】請求項25に記載したように、請求項20ないし24いずれか1つの項に記載の半導体記憶装置において、前記第1の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より下層に位置する配線層により構成されていることを特徴とする。

【0058】請求項26に記載したように、請求項20ないし25いずれか1つの項に記載の半導体記憶装置において、前記第2の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より上層に位置する配線層を含むことを特徴とする。

【0059】請求項27に記載したように、請求項1ないし26いずれか1つの項に記載の半導体記憶装置において、前記メモリセルユニットは、NAND型EEPROMであることを特徴とする。

【0060】請求項1のような構成によれば、メモリセルアレイ端のブロックを他のブロックと異なる構成とすることにより、メモリセルアレイ端の加工精度の低下に起因した不良を防ぐことができる。しかも、メモリセルアレイ端のブロックのみを他のブロックと異なる構成にするので、チップサイズの増加をほとんど招くことなく、歩留まりが高く且つ動作の信頼性の高い動作を備えたチップを実現することができる。

【0061】第1のメモリセルユニットのメモリセルアレイ端側の構成を第2のメモリセルユニットと異ならせるためには、請求項2に示すように、第1の配線を前記第2のメモリセルアレイユニット中の対応する第2の配線よりも太く設定されたデータパターンを持つマスクを用いて加工する。

【0062】あるいは請求項3に示すように、第1の配線を前記第2のメモリセルユニット中の対応する第2の配線よりも太くすれば良い。

【0063】請求項4に示すように、上記第1の配線としては、選択ゲート線を適用すると良い。

【0064】また、第1のメモリセルユニットのメモリセルアレイ端側の構成を第2のメモリセルユニットと異ならせるためには、請求項5に示すように、例えば第2のメモリセルユニット中のコンタクトと隣接配線間のスペースに比べて、前記第1のメモリセルユニット中のコンタクトと隣接配線間のスペースを大きくする。

【0065】請求項6に示すように、第2のメモリセルユニット中にコンタクトが設け、第1のメモリセルユニット中の対応する部分にコンタクトが存在しない構成に

15

することにより、第1のメモリセルユニットのメモリセルアレイ端側の構成を第2のメモリセルユニットと異ならせることもできる。この場合には、大幅に動作の信頼性や歩留まりを向上できる。

【0066】請求項7に示すように、より詳しくは、上記コンタクトは、メモリセルユニットのソース側ノードに設けられたコンタクトを適用すると良い。

【0067】請求項8に示すように第1のブロックとしてダミーブロックを用いても良く、請求項9に示すようにリダンダンシーブロックを用いることもできる。

【0068】請求項10、11及び12の半導体記憶装置では、配線等の周期性が崩れることによる加工精度の低下に起因した問題を解決するために、ワード線幅の狙い目を選択的に変更している。具体的には、選択ゲート線に隣接した制御ゲート線の線幅の狙い目を他の制御ゲート線に比べて大きく設定することにより、選択ゲート線に隣接した制御ゲート線が狙い目より細くなった場合でもメモリセルのカットオフ特性の低下を防ぐことができる。また、NANDセル内の制御ゲート線のうち、線幅を太くするものが選択ゲート線に隣接した2本のみで済むため、メモリセルの増加量は小さい。従って、チップサイズの大幅な増加を招くことなく、信頼性の高いデータ書き込み・読み出し動作を備えたチップを実現することができる。

【0069】請求項13に示すように、マスクのデータパターン中では、ワード線群の両端に配置されたワード線の線幅を隣接するワード線の線幅より広く設定すれば良い。

【0070】請求項14に示すように、マスクのデータパターン中にて線幅が広く設定されたワード線に隣接して選択ゲート線を配設しても良い。

【0071】請求項15に示すように、メモリセルとしては不揮発性メモリセルを用い、ワード線は浮遊ゲート上に配置された制御ゲート線を用いることができる。

【0072】請求項16のような構成によれば、制御ゲート線にコンタクトを取る回数を1回にできるので、製造工程中の制御ゲート線へのストレスを低減でき、浮遊ゲートまわりの絶縁膜の信頼性を向上させることができる。これによって、チップサイズの増加を招くことなく、動作の信頼性の高い動作を備えたチップを実現することができる。

【0073】請求項17に示すように、制御ゲート線のメモリセルアレイ端からロウデコーダ中のトランジスタへの接続に用いる配線層としては、第2の配線層より下層に位置する配線層を用いることができる。

【0074】請求項18に示すように、制御ゲート線のメモリセルアレイ端からロウデコーダ中のトランジスタへの接続に用いる配線層の配線長のうち、第2の配線層による配線が少なくとも半分を占めることが好ましく、請求項19に示すように、選択ゲート線のメモリセルア

16

レイから前記ロウデコーダ中のトランジスタへの接続に用いる配線長のうち、前記第1の配線層による配線が少なくとも半分を占めることが好ましい。

【0075】請求項20のような構成によれば、制御ゲート線にコンタクトを取る回数を1回にでき、且つコンタクトの加工工程中に制御ゲートが高電圧に帯電するのを防止するためのpn接合による電流パスを形成するので、製造工程中の制御ゲート線へのストレスを低減することができる。浮遊ゲートまわりの絶縁膜の信頼性を向上させることができる。この結果、チップサイズの増加を招くことなく、動作の信頼性の高い動作を備えたチップを実現することができる。

【0076】請求項21に示すように、ロウデコーダ中のトランジスタのソース・ドレイン以外のpn接合との接続を持たない第2の配線により、選択ゲート線をメモリセルアレイからロウデコーダ中のトランジスタまで接続した場合でも、上記トランジスタのソース・ドレイン領域を利用して制御ゲートが高電圧に帯電するのを防止するための電流パスを形成することができる。

【0077】請求項22に示すように、第1の配線を構成する配線層のうち最上層の配線層を、第2の配線を構成する配線層のうち最上層の配線層と同一の配線層で形成すれば、同一の製造工程で両配線層を形成可能である。

【0078】請求項23に示すように、第1の配線を構成する配線層のうち最上層の配線層は、第2の配線を構成する配線層のうち最上層の配線層より下層に位置する配線層でも形成可能であり、この場合には第1の配線と第2の配線を重ねて形成でき、パターン面積を縮小できる。

【0079】請求項24に示すように、第1の配線をp型拡散層とn型拡散層の両方に接続すれば、製造工程中の配線間のコンタクト加工時に配線が帯電しようとした場合に、帯電が正の場合と負の場合の両方に対して電荷を放電する電流パスが形成されるため、エッチング工程中の帯電に起因したメモリセルへの印加ストレスを大幅に低減できる。しかも、pn接合の順方向電流を用いれば逆方向電流よりも電流量が大きく、より高い印加ストレスの緩和の効果が得られる。

【0080】請求項25に示すように、第1の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より下層に位置する配線層で形成できる。

【0081】請求項26に示すように、第2の配線は、メモリセルアレイ内の制御ゲート線を構成する配線層に他の配線層を介することなく直接接続可能な配線層より上層に位置する配線層を含んで構成できる。

【0082】請求項27に示すように、上記メモリセルユニットとしては、例えばNAND型EEPROMが好適である。

10

20

30

40

50

17

【0083】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0084】【第1の実施の形態】図1は、本発明の第1の実施の形態に係る半導体記憶装置について説明するためのもので、NANDセル型EEPROMにおけるメモリセルアレイのブロック配置を示している。図1では、メモリセルアレイ2の両端のブロック2-0、2-Nを構成するNANDセル（NAND-Bセル）と、メモリセルアレイ2内の他のブロック2-1～2-（N-1）を構成するNANDセル（NAND-Aセル）が異なる構成を有している。各ブロック2-0～2-Nにはそれぞれ、選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>と制御ゲート線CG（1）～CG（8）が接続されており、これら選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>と制御ゲート線CG（1）～CG（8）に供給されたロウアドレスに応じてブロック及びNANDセルの行が選択されるようになっている。

【0085】図2は、NANDセルがマトリクス配列されたメモリセルアレイ2の等価回路図である。ここでは、同一のワード線や選択ゲート線を共有するNANDセル群をブロックと呼び、図2中の破線で囲まれた領域2-L（L=0～N）を1個のブロックと定義する。このブロックは、図1中の各ブロック2-0～2-Nに相当する。読み出し・書き込み等の動作は、通常、複数のブロックのうち1個を選択（選択ブロックと呼ぶ）して行われる。各NANDセルの選択ゲートトランジスタS<sub>1</sub>のドレインはビット線BL<sub>1</sub>、BL<sub>2</sub>、…、BL<sub>M</sub>に接続され、選択ゲートトランジスタS<sub>2</sub>のソースは共通ソース線CSに接続されている。そして、上記選択ゲートトランジスタS<sub>1</sub>のソースとS<sub>2</sub>のドレイン間に、メモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>が直列接続される。

【0086】図3及び図4はそれぞれ、上記図1に示したメモリセルアレイ2における中央部のブロック2-1～2-（N-1）を構成するNAND-Aセルについて説明するためのもので、図3（a）、（b）は上記図2における一つのNANDセル部分のパターン平面図と等価回路図であり、図4（a）、（b）はそれぞれ図3

（a）のA-A'線及びB-B'線に沿った断面構成図である。素子分離酸化膜12で囲まれたp型シリコン基板（またはp型ウェル領域）11に複数のNANDセルからなるメモリセルアレイが形成されている。この例では、一つのNANDセルには8個のメモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>が直列接続されている。

【0087】各メモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>はそれぞれ、基板11上にゲート絶縁膜13を介して浮遊ゲート14（14<sub>1</sub>、14<sub>2</sub>、…、14<sub>8</sub>）が形成され、この浮遊ゲート14上に絶縁膜15を介して制御ゲート16（16<sub>1</sub>、16<sub>2</sub>、…、16<sub>8</sub>）が形成されて構成されている。これらのメモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>のソース、ドレインであるn型拡散層19（19<sub>1</sub>、19

18

2、…、19<sub>9</sub>）は、隣接するもの同士共用する形で接続され、これによりメモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>が直列接続されている。

【0088】上記NANDセルのドレイン側、ソース側にはそれぞれ、メモリセルの浮遊ゲート、制御ゲートと同一工程で形成された選択ゲート14<sub>9</sub>、16<sub>9</sub>及び14<sub>10</sub>、16<sub>10</sub>が設けられている。上記選択ゲート14<sub>9</sub>と16<sub>9</sub>及び14<sub>10</sub>と16<sub>10</sub>はそれぞれ、図示しない領域で電気的に接続されており、選択ゲートトランジスタS<sub>1</sub>、S<sub>2</sub>のゲート電極として働く。上記のように素子形成された基板11上は、CVD酸化膜（層間絶縁膜）17により覆われ、このCVD酸化膜17上にビット線18（BL）が配設されている。このビット線18は、NANDセルの一端のドレイン側拡散層19<sub>0</sub>にコンタクトされている。行方向に並ぶNANDセルの制御ゲート14は、共通に制御ゲート線CG（1）、CG

（2）、…、CG（8）として配設されている。これら制御ゲート線はワード線となる。選択ゲート14<sub>9</sub>、16<sub>9</sub>及び14<sub>10</sub>、16<sub>10</sub>もそれぞれ行方向に連続的に延設され、選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>として用いられる。また、ビット線18と制御ゲート線・選択ゲート線の配線層との間にソース線用配線層22が配設され、NANDセルのソース側拡散層19<sub>10</sub>（ビット線コンタクトと反対側の端）にコンタクトされている。

【0089】図5及び図6は、上記図1に示したメモリセルアレイ端のブロック2-0、2-Nを構成するNAND-Bセルについて説明するためのもので、図5

（a）、（b）は上記図2における一つのNANDセル部分のパターン平面図と等価回路図であり、図6は図5（a）のA-A'線に沿った断面構成図である。図5や図6のNANDセルが図3及び図4と異なる部分は、選択ゲート線SG<sub>2</sub>まわりの寸法である。

【0090】すなわち、図5、図6で示されるNANDセルは、選択ゲート線SG<sub>2</sub>の線幅が図3、図4中のNANDセルよりも太いことが特徴であり、つまりWsg2（図3）<Wsg2（図5）

となっており、このためNANDセルの長辺方向の長さ（図3、図5中のA-A'断面の長さ）に相当、つまりセルサイズが図3、図4に示したNANDセルに比べて少し長くなる。図5、図6中の選択ゲート線SG<sub>2</sub>の線幅は加工精度が低下した場合においても断線しない程度の太さに設定してある。これによって、メモリセルアレイ2の端部に配置されたブロック2-0、2-Nにおける選択ゲート線SG<sub>2</sub>の断線という問題を回避できる。また、メモリセルアレイ2中の他のブロック2-1～2-（N-1）には図5、図6のセルに比べてセルサイズが小さい図3、図4のセルを使用する。従って、図1に示した本発明と図34に示した従来のセルアレイ全体の差は、

【図3のNANDセルサイズー図5のNANDセルサイ

19

ズ] × 2

となる。通常、ブロック数は数百個から数千個程度であるため、この差がセルサイズ全体に占める割合は極めて小さく、無視できる程度である。つまり、上記第1の実施の形態により、チップサイズをほとんど増加させることなく、チップの動作の信頼性を向上できる。

【0091】上記第1の実施の形態では、

$Wsg2$  (NAND-Aセル) <  $Wsg2$  (NAND-Bセル)

とすることによりセルアレイ端のブロック2-0, 2-N内の選択ゲート線SG<sub>2</sub>の断線を防ぐ方式について説明したが、本発明は上記第1の実施の形態に限定されるものではなく、種々変形可能である。以下に述べる変形例を用いる場合も、同様の理由により、チップサイズをほとんど増加させることなく、チップの動作の信頼性や歩留まりを向上できる。

【0092】例えば、選択ゲート線SG<sub>2</sub>とソース線コンタクト間のスペースをS<sub>s1</sub>とすると(図3(a)、図4(a)参照)、図1の場合において、

$Ss1$  (NAND-Aセル) <  $Ss1$  (NAND-Bセル)

とすることにより、セルアレイ端のブロックの加工精度が低下して選択ゲート線SG<sub>2</sub>が太くなった場合においても、選択ゲート線SG<sub>2</sub>とソース線コンタクト間のスペースS<sub>s1</sub>が広いと、選択ゲート線SG<sub>2</sub>とソース線コンタクト間のショート危険を大幅に低下させることができる。この方式も非常に有効であり、信頼性の高いチップを実現できる。

【0093】また、図7及び図8に示したように、ソース線コンタクトを削除したNANDセルを図1中のNAND-Bセル(ブロック2-0, 2-N)として用い、NAND-Aセル(ブロック2-1~2-(N-1))としては図3、図4に示したNANDセルを用いる方式もある。この場合には、セルアレイ端ブロック中にはソース線コンタクトが存在しないため、セルアレイ端ブロックの加工精度が低下して選択ゲート線SG<sub>2</sub>が太くなった場合においても、選択ゲート線SG<sub>2</sub>とソース線コンタクト間のショート危険をなくすることができる。

【0094】なお、図7、図8ではソース線コンタクトを削除したが、ソース線用配線層22は残した状態にある。この配線層22の存在に関しては、あってもなくても問題なく、配線層22の加工精度等の観点から配線層22の要・不要を決定する。つまり、この配線層22の存在の有無に拘わらず本発明は有効である。

【0095】また、上記第1の実施の形態では、メモリセルアレイが図1のようなブロック配置の場合を例にとって本発明の説明を行ってきたが、他の場合、例えばブロック配置が図9のような場合にも本発明を適用することができる。

【0096】すなわち、図1ではメモリセルアレイ端の

20

配線として選択ゲート線SG<sub>2</sub>が設けられていたのに対し、図9では選択ゲート線SG<sub>1</sub>が設けられている。この場合には、選択ゲート線SG<sub>1</sub>の配線幅をW<sub>sg1</sub>とすると、

$Wsg1$  (NAND-Aセル) <  $Wsg1$  (NAND-Bセル)

と設定することにより、メモリセルアレイ端のブロック内の選択ゲート線SG<sub>1</sub>の断線を防ぐことができる。更に、選択ゲート線SG<sub>1</sub>とビット線コンタクト間のスペースをS<sub>b1</sub>とすると、上記第1の実施の形態の場合と同様に、図9に対して、

$Sb1$  (NAND-Aセル) <  $Sb1$  (NAND-Bセル)

と設定することにより、セルアレイ端ブロックの加工精度が低下して選択ゲート線SG<sub>1</sub>が太くなった場合においても、選択ゲート線SG<sub>1</sub>とビット線間のショートの危険性を大幅に低下させることができる。

【0097】また、図10及び図11に示すように、セルアレイ端のブロック内のビット線コンタクトをなくすることにより、セルアレイ端のブロック2-0, 2-Nの加工精度が低下して選択ゲート線SG<sub>1</sub>が太くなった場合においても、選択ゲート線SG<sub>1</sub>とビット線コンタクト間のショートの危険性をなくすることができる。

【0098】上述した第1の実施の形態に係る種々の変形例は、複数組み合わせた場合も大変有効となる。

【0099】例えば、図1のブロック配置に対して、NAND-Aセルとして図3、図4のセル、NAND-Bセルとして図5、図6のセルと図7、図8のセルを組み合わせるもの、つまり

$Wsg2$  (NAND-Aセル) <  $Wsg2$  (NAND-Bセル)

且つソース線コンタクト削除のNAND-Bセルを用いる場合は、大幅に動作の信頼性や歩留まりを向上できる。

【0100】同様に、図9のブロック配置に対して、NAND-Aセルとして図3、図4のセルを用い、また、 $Wsg1$  (NAND-Aセル) <  $Wsg1$  (NAND-Bセル)

且つビット線コンタクト削除(図10(a)、図11参照)のNAND-Bセルを用いる場合は、大幅に動作の信頼性や歩留まりを向上できる。

【0101】また、上記第1の実施の形態中では、メモリセルアレイ端の配線が上下のセルアレイ端にて同じ場合、つまり図1の配置例では上下とも選択ゲート線SG<sub>2</sub>であり、図9の実施の形態では上下とも選択ゲート線SG<sub>1</sub>の場合であったが、これ以外の場合にも本発明は有効である。例えば、上下のメモリセルアレイ端の配線がそれぞれ選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>である場合(図12参照)や、逆に選択ゲート線SG<sub>2</sub>、SG<sub>1</sub>である場合(図13参照)のように上下で異なる場合にも本発

21

明は有効であり、上記変形例を組み合わせるなどしても本発明を適用可能である。この場合には、メモリセルアレイ端のブロック2-0、2-Nとして上下の内の一方をNAND-Bブロック、他方をNAND-Cブロックとして、その他のブロックをNAND-Aブロックとするように3種類のブロックを設ければ良い。

【0102】また、上記第1の実施の形態では、メモリセルアレイ端のブロック2-0、2-N中の制御ゲート線やワード線数が他のブロック中と同じ場合を例にとって本発明の説明を行ったが、本発明はこの構成に限定され10 ない。メモリセルアレイ端のブロックは、通常は不使用（データの書き込み・読み出しをしない）ブロックであるため、使用ブロックと同じ配線数にする必要はなく、隣接ブロックの加工精度が低下しない程度の配線数が配置されていれば良い。図1で言えば、使用ブロック2-1~ブロック2-(N-1)のうち、特にセルアレイ端のブロックに隣接したブロック2-1、2-(N-1)の加工精度を保つためにセルアレイ端ブロックが設けられており、このブロックには加工精度を保つための最少本数の配線が含まれていれば充分である。例えば、20 加工精度の問題により、セルアレイ端ブロック内の制御ゲート線を4本と他のブロックより少なくした場合（図14参照）や、逆に加工精度を更に高めるために制御ゲート線数を12本と多くした場合（図15参照）など種々変更可能である。

【0103】また、上記第1の実施の形態では、メモリセルアレイ端の選択ゲート線の配線を太くしたり、セルアレイ端のコンタクトまわりを変更する等の場合を例にとって説明したが、他の場合、例えばセルアレイ端の選30 択ゲート線に加えて隣接した制御ゲート線を太くする場合やセルアレイ端のブロック内の配線を全体的に太くする場合にも本発明は有効となる。

【0104】NANDセルでは、ブロックの非選択時には、最低でも選択トランジスタ $S_1$ 、 $S_2$ のうち片方はオフ状態になくならず、さもなくばビット線とソース線が接続されることによる不良が発生する。動作方式によっては、非選択ブロック中では、選択トランジスタ $S_1$ のみをオフ状態とする方式もあるし、選択トランジスタ $S_2$ のみをオフ状態とする方式もある。従来例にて特に問題となるのは、選択トランジスタ $S_1$ のみオフ状40 態とする方式を採用した時に、メモリセルアレイ端が選択ゲート線 $SG_1$ である図9の場合や、選択トランジスタ $S_2$ のみオフ状態とする方式を採用した時にメモリセルアレイ端が選択ゲート線 $SG_2$ である図1の場合であり、これらの場合にはメモリセルアレイ端の選択ゲート線が加工ばらつきにより細くなって断線したり、選択トランジスタのチャンネル長の短縮に起因したカットオフ特性の悪化により、ビット線とソース線がショートすることになり不良が発生する。このような場合に本発明を適用すると、メモリセルアレイ端の選択ゲート線の線幅を50

22

太く設定するため、選択トランジスタを確実にオフすることができ、不良を防ぐことができる。

【0105】上記したように、メモリセルアレイ端の選択ゲート線の線幅を太く設定することは、選択ゲート線加工用マスク中のデータパターン上にて、他の選択ゲート線に比べてメモリセルアレイ端の選択ゲート線の線幅を太く設定する方式を用いることにより実現できる。その他、他の方法を用いてメモリセルアレイ端の選択ゲート線の線幅を太く設定する場合にも本発明は有効であるのは勿論である。

【0106】また、メモリセルアレイ端の選択ゲート線の線幅として、加工後の線幅ばらつきは小さいものの、配線の周期性が崩れたことに起因して、マスク上の線幅に対する加工後の線幅の比率が、他の選択ゲート線に比べ、常に小さくなる場合がある。つまり、マスクのデータパターン上にて全ての選択ゲート線が同一の幅の時、メモリセルアレイ端選択ゲート線の線幅が他の選択ゲート線幅よりも常に細くなる場合である。このような時には、加工後の全ての選択ゲート線幅が同一となるように、マスクのデータパターン上にてセルアレイ端の選択ゲート線の線幅を他の選択ゲート線幅よりも太く設定する方式も有効である。この場合には、全ての選択ゲート線幅が同一となるため、全てのNANDセル中の選択トランジスタのチャンネル長も同一となり、ビット線やソース線のショートに起因した不良を防ぐことができる。

【0107】また、上記第1の実施の形態中では、メモリセルアレイ端のブロック以外のNANDセル中の選択ゲート線 $SG_1$ と $SG_2$ の配線幅が同一である場合を例にとって説明を行ったが、本発明はこれに限定されるものではない。例えば、セルアレイ端のブロック以外のNANDセル中の選択ゲート線 $SG_1$ と $SG_2$ の配線幅が異なる場合でも、セルアレイ端の配線が選択ゲート線 $SG_1$ の場合はマスクのデータパターン上にてセルアレイ端の選択ゲート線 $SG_1$ の配線幅を他の選択ゲート線 $SG_1$ の配線幅より太くする方式は有効である。同様に、メモリセルアレイ端の配線が選択ゲート線 $SG_2$ の場合はマスクのデータパターン上にてセルアレイ端の選択ゲート線 $SG_2$ の配線幅を他の選択ゲート線 $SG_1$ の配線幅よりも太くする方式は有効であり、本発明を適用可能である。

【0108】上記したメモリセルアレイ端のブロックは、通常は、他のブロックの加工精度を向上する目的で設置され、メモリセルアレイ内におけるセルアレイ端のブロック以外での配線の周期性を保つことを実現している。このような場合には、セルアレイ端のブロック内での選択ゲート線や制御ゲート線の加工精度の低下が起こることはやむを得ず、このためセルアレイ端のブロックをダミーブロック（通常データ記憶領域として使用せず加工精度向上のみを目的として配置されたブロックであり、選択不可能且つ他のブロックとの置き換え不可能）

23

とすれば良い。特に、上記第1の実施の形態のうち、セルアレイ端部分のソース線コンタクトやビット線コンタクトを削除したブロック（図8や図11に相当）は、当然通常のデータ記憶・読み出し動作ができないためダミーブロックとなる。また、セルアレイ端ブロックにおいて、ビット線とソース線とのコンタクトを残し、且つブロック内の制御ゲート線数が他のブロックと同じ場合には、セルアレイ端のブロックをリダンダンシーブロック、つまり不良ブロックの置き換え用ブロック（ヒューズ切断等により不良ブロックとの置き換えが可能なブロック）として用いることも可能である。リダンダンシーセルブロックとして使用する場合の例としては、チップ製造後にまずメモリセルアレイ端のリダンダンシーブロックの動作を確認し、正常であればリダンダンシーブロックとし、異常があればダミーブロックとして使用する方法も可能である。これによって、セルアレイ端のブロックの加工状態に応じてリダンダンシーブロック数を増加でき、非常に大きな効果を得ることができる。本発明を用いることにより、セルアレイ端のブロックの加工後の状態を、従来よりも大幅に改善できるため、このリダンダンシーブロックとしての利用時にも本発明は大変有効となる。このように、セルアレイ端のブロックをダミーブロックとして、あるいはリダンダンシーブロックとして用いる場合にも本発明を適用することができる。

【0109】第2の実施の形態 次に、本発明の第2の実施の形態に係る半導体記憶装置について説明する。上記第1の実施の形態では、メモリセルアレイ端のブロックの加工精度の低下を問題にしたのに対し、この第2の実施の形態では一つのNANDセルにおけるワード線まわりの配線の周期性の崩れに起因した加工精度の低下を防止するものである。

【0110】図16(a)、(b)は、メモリセルアレイ中の一つのNANDセル部分のパターン平面図と等価回路図であり、図17(a)、(b)はそれぞれ図16(a)のA-A'線及びB-B'線に沿った断面構成図である。素子分離酸化膜12で囲まれたp型シリコン基板（またはp型ウェル領域）11に複数のNANDセルからなるメモリセルアレイが形成されている。この第2の実施の形態では、上述した第1の実施の形態と同様に、8個のメモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>が直列接続されてNANDセルを構成している。

【0111】各メモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>はそれぞれ、基板11にゲート酸化膜13を介して浮遊ゲート14（14<sub>1</sub>、14<sub>2</sub>、…、14<sub>8</sub>）が形成され、この上に絶縁膜15を介して制御ゲート16（16<sub>1</sub>、16<sub>2</sub>、…、16<sub>8</sub>）が形成されて構成されている。これらのメモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>のソース、ドレインであるn型拡散層19（19<sub>1</sub>、19<sub>2</sub>、…、19<sub>9</sub>）は、隣接するもの同士共用する形で接続され、これによりメモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>が直列接続される。

24

【0112】NANDセルのドレイン側、ソース側にはそれぞれ、メモリセルM<sub>1</sub>、M<sub>2</sub>、…、M<sub>8</sub>の浮遊ゲート14、制御ゲート16と同時に形成された選択ゲート14<sub>9</sub>、16<sub>9</sub>及び14<sub>10</sub>、16<sub>10</sub>が設けられている。これら選択ゲート14<sub>9</sub>と16<sub>9</sub>及び14<sub>10</sub>と16<sub>10</sub>はそれぞれ、図示しない領域で電氣的に接続されており、選択ゲートトランジスタS<sub>1</sub>、S<sub>2</sub>のゲート電極として働く。このように素子形成された基板11上はCVD酸化膜（層間絶縁膜）17により覆われ、このCVD酸化膜17上にビット線18（BL）が配設されている。ビット線18はNANDセルの一端のドレイン側拡散層19<sub>0</sub>にコンタクトされている。行方向に並ぶNANDセルの制御ゲート14は、共通に制御ゲート線CG

(1)、CG(2)、…、CG(8)として配設されている。これらの制御ゲート線はワード線として働く。選択ゲート14<sub>9</sub>、16<sub>9</sub>及び14<sub>10</sub>、16<sub>10</sub>もそれぞれ行方向に連続的に延設され、選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>として働く。

【0113】この第2の実施の形態に係るNANDセル型EEPROMの特徴は、図16(a)、図17(a)に示したように、制御ゲート線CG(2)～CG(7)に比べて、制御ゲート線CG(1)やCG(8)の線幅が太いことである。

【0114】通常、選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>は、選択ゲートトランジスタS<sub>1</sub>、S<sub>2</sub>のカットオフ特性の向上（オフ時のリーク電流低減）のため、制御ゲート線より線幅の狙い目を大きく設定してある。また、制御ゲート線CG(1)～CG(8)の部分の配線層14の加工時の選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>部分への影響を低減するため、制御ゲート線・選択ゲート線間のスペースSsg1、Ssg2は、制御ゲート線間のスペースScg12～Scg78に比べ狙い目を大きめに設定してある。従って、配線の周期的な配置がCG(1)、SG<sub>1</sub>間やCG(8)、SG<sub>2</sub>間にて崩れているため、CG(2)～CG(7)に比べて、CG(1)、CG(8)の加工精度が低下し、加工ばらつきが大きくなる。

【0115】しかしながら、図16(a)及び図17(a)の実施の形態のように、選択ゲート線に隣接した制御ゲート線CG(1)、CG(8)の線幅の狙い目を、他の制御ゲート線に比べて、大きく設定することにより、加工精度の低下によって多少制御ゲート線CG(1)やCG(8)が細くなった場合にも、元々の線幅の狙い目が大きいために制御ゲート線CG(1)やCG(8)の出来上がりの線幅が制御ゲート線CG(2)～CG(7)に比べて極端に小さくなることはない。この場合には、図38(b)に示したようなチャネル長が極端に細くなったことに起因するメモリセルのカットオフ特性の極端な低減を防ぐことができ、常に図38(a)のようにカットオフ可能な状態を実現できる。

【0116】また、上記第2の実施の形態中では、NA

25

NDセル中の制御ゲート線のうち、線幅の狙い目を大きくする制御ゲート線としては選択ゲート線に隣接したものの2本のみであるため、線幅の狙い目を大きくすることによるNANDセルサイズの増加はあまり大きくなりません。

【0117】従って、上記第2の実施の形態を用いることにより、チップサイズの大幅な増加を招くことなく、データ書き込み・読み出しの信頼性が高いチップを実現できる。

【0118】上記第2の実施の形態では、NANDセル中制御ゲート線のうち、選択ゲート線に隣接した制御ゲート線のみに対して、線幅の狙い目を他の制御ゲート線に比べて大きくする場合の実施の形態を示した。この実施の形態の内容を式にて表すと、

$$Wcg1 > Wcg2 \sim Wcg7$$

$$Wcg8 > Wcg2 \sim Wcg7$$

$$Wcg2 = Wcg3 = Wcg4 = Wcg5 = Wcg6 = Wcg7$$

となる。また、この場合にWcg1、Wcg8の狙い目のWcg2～Wcg7に対する増加量に関しては、周期性が崩れた場合に制御ゲート線CG(1)、CG(8)のそれぞれが受ける影響の大きさ(加工精度の低減の度合い)に応じて最適な値を取れば良い。従って、制御ゲート線CG(1)、CG(8)のそれぞれが受ける影響の大きさによりWcg1=Wcg8とするのが最適な場合もあれば、Wcg1>Wcg8あるいはWcg1<Wcg8とするのが最適な場合もある。

【0119】この場合、Wcg1やWcg8が他の制御ゲート線より太いため、Wcg1、Wcg2間やWcg7、Wcg8間にて厳密に言えば周期性が崩れるが、Wcg1、Wcg8とWcg2、Wcg7の差が比較的小さければ、Wcg1、Wcg2間やWcg7、Wcg8間にて周期性が崩れた影響によるWcg2やWcg7等の加工精度の低下量は小さくなる。この第2の実施の形態では、制御ゲート線幅の違いによる周期性が崩れに起因した加工精度の低下量が小さい(問題とならないレベル)範囲内でのワード線幅の調整をする場合を考える。

【0120】一般的には、図16(a)や図38(a)中のSu、Wsg1、Ssg1に対して、それぞれS1、Wsg2、Ssg2が同程度の値であれば、加工精度の低下の度合いが制御ゲート線CG(1)とCG

(8)で同程度となるため、Wcg1=Wcg8とすることが望ましい。一方、Su、Wsg1、Ssg1に対してそれぞれS1、Wsg2、Ssg2の方が比較的小さな値の場合にはWcg1>Wcg8が最適となり、また、Su、Wsg1、Ssg1に対してそれぞれS1、Wsg2、Ssg2の方が比較的大きな値の場合にはWcg1<Wcg8が最適となる可能性が高い。

【0121】上記第2の実施の形態では、NANDセル内の制御ゲート線と選択ゲート線との配線配置の周期性

26

が崩れることにより、周期性が崩れる境界にある制御ゲート線CG(1)、CG(8)の加工精度が低下する問題を解決する方法について説明した。通常は、制御ゲート線CG(1)～CG(8)の中でもCG(1)、CG(8)の加工精度の低下の度合いが特に大きいので、上記第2の実施の形態は有効である。

【0122】しかしながら、この周期性が崩れる影響は、境界にある配線以外にも影響を及ぼし、境界に近いほど影響が大きい(加工精度の低下が大きい)。例えば、図36(a)中では、最も大きな影響を受けるのが制御ゲート線CG(1)、CG(8)、続いて大きな影響を受けるのがCG(2)、CG(7)、次がCG(3)、CG(6)、…、となる。制御ゲート線CG(1)、CG(8)以外にCG(2)、CG(7)等においても加工精度の低下が問題となる場合には、上記したように線幅の狙い目を大きくする方式を制御ゲート線CG(2)、CG(7)等に対しても適用することは有効である。制御ゲート線CG(1)、CG(8)、CG(2)、CG(7)の4つに対してのみ適用する場合に

$$Wcg1 > Wcg2 > Wcg3 \sim Wcg6$$

$$Wcg8 > Wcg7 > Wcg3 \sim Wcg6$$

$$Wcg3 = Wcg4 = Wcg5 = Wcg6$$

のように周期性が崩れる境界に近い側の線幅の狙い目を大きくする方式が特に有効である。その他、周期性が崩れる影響に合わせて、

$$Wcg1 > Wcg2 > Wcg3 > Wcg4, Wcg5$$

$$Wcg8 > Wcg7 > Wcg6 > Wcg4, Wcg5$$

$$Wcg4 = Wcg5$$

とする方式も有効である。

【0123】また、上記第2の実施の形態では、線幅を大きめに設定する制御ゲート線の数として、選択ゲート線SG<sub>1</sub>寄りの制御ゲート線と選択ゲート線SG<sub>2</sub>寄りの制御ゲート線に対して同じ場合を例にとりて説明したが、本発明はこれに限定されるものではない。例えば、周期性の崩れによる加工精度の低下の度合いが選択ゲート線SG<sub>1</sub>寄りの制御ゲート線の方が大きい場合には、

$$Wcg1 > Wcg2 > Wcg3 = Wcg4 = Wcg5 = Wsg6 = Wsg7$$

$$Wcg8 > Wcg3 = Wcg4 = Wcg5 = Wsg6 = Wsg7$$

とし、反対に周期性の崩れによる加工精度の低下の度合いが選択ゲート線SG<sub>2</sub>寄りの制御ゲート線の方が大きい場合には、

$$Wcg1 > Wcg2 = Wcg3 = Wcg4 = Wcg5 = Wsg6$$

$$Wcg8 > Wsg7 > Wcg2 = Wcg3 = Wcg4 = Wcg5 = Wsg6$$

とする方式が最も有効となる場合もある。また、周期性の崩れによる加工精度の低下の度合いが選択ゲート線S

27

$G_2$  寄りの制御ゲート線にて小さい場合には、

$$W_{cg1} > W_{cg2} = W_{cg3} = W_{cg4} = W_{cg5} = W_{sg6} = W_{sg7} = W_{sg8}$$

のように、線幅の増加を選択ゲート線  $SG_1$  寄り制御ゲート線に対してのみ適用する方式が極めて有効となり、同様に周期性の崩れによる加工精度の低下の度合いが  $SG_1$  寄りの制御ゲート線にて小さい場合は、

$$W_{cg8} > W_{sg1} = W_{cg2} = W_{cg3} = W_{cg4} = W_{cg5} = W_{sg6} = W_{sg7}$$

のように線幅増加を選択ゲート線  $SG_2$  寄り制御ゲート線に対してのみ適用する方式が極めて有効となる。

【0124】上述した第2の実施の形態中には、NANDセル中の大半の制御ゲート線の線幅を大きめに設定するものもあったが、大きく設定することが必要不可欠な線に対してのみ必要最小限の大きさだけ線幅を大きくする方式を用いているため、従来のような制御ゲート線幅を一様に大きく設定する方式に比べると、NANDセルサイズの増加量を小さくすることができる。また、加工精度とNANDセルサイズを検討することにより、上記第2の実施の形態中のどの方式が最も有効であるかを調べる  
20

【0125】以上、配線等の周期性が崩れることによる加工精度の低下に起因した問題を解決するために、選択的にワード線幅の狙い目を変更する方式を用いる、という本発明の第2の実施の形態について説明したが、本発明はこの第2の実施の形態に限定されるものではなく、種々変形可能である。上記第2の実施の形態中では、選択ゲート線と制御ゲート線の間の周期性の崩れがある場合を例にとって本発明の説明を行ったが、他の部分の周期性の崩れ、例えば制御ゲート線の配置が周期的でない場合や、選択ゲート線や制御ゲート線以外の配線の影響等にて周期性を実現できない場合などにも有効であり、選択的にゲート線幅の狙い目を変更する方式を適用可能である。  
30

【0126】また、前記第2の実施の形態の説明では、制御ゲート線と選択ゲート線等の線幅の狙い目を選択的に大きくする方式について説明した。実際のチップの製造工程においては、マスク上におけるサイズを変更する方法が最も容易であり、通常この方法が用いられる。すなわち、制御ゲート線や選択ゲート線の加工用マスク中のデータパターン上にて、選択ゲート線に隣接した制御ゲート線幅を他の制御ゲート線幅よりも大きくすることにより上記第2の実施の形態を実現できる。しかしながら、マスクを用いる以外の方法を用いる場合にも、上記第2の実施の形態を実現できる方法であれば、本発明を適用できるのは勿論である。  
40

【0127】更に、上記第2の実施の形態にて線幅を大きめに設定した配線は、加工精度が比較的低いものであり、加工ばらつきにより線幅が細くなる度合いが最も大きい場合にもメモリセルのカットオフ特性が悪化しない  
50

28

ように線幅の狙い目を設定したものである。従って、多くの場合（加工ばらつきによって線幅が極端に細くならなかった場合）には、線幅の狙い目が大きい配線は加工後に配線幅が他の制御ゲート線より大きくなる。

【0128】また、上記第2の実施の形態中では、制御ゲート線群の端に位置する制御ゲート線の加工精度が低下して加工ばらつきが大きくなる場合の説明を行ったが、他の場合にも本発明は適用可能であり有効である。例えば全制御ゲート線のマスク上の配線幅が同一の場合に、制御ゲート線群の端に位置する制御ゲート線の線幅が、配線の周期性の崩れのため、他の制御ゲート線より常に細く加工される場合にも適用できる。つまり、加工ばらつきは小さいが、制御ゲート線群の端に位置する制御ゲート線において、マスク上の配線幅に対する加工後の配線幅の割合が他の制御ゲート線よりも安定して小さな値となる場合にも適用できる。この場合には、加工後の配線幅が全ての制御ゲート線において同じとなるように、制御ゲート線群の端に位置する制御ゲート線のマスク上の配線幅を他の制御ゲート線の配線幅より少し大きくする方法が有効である。

【0129】【第3の実施の形態】次に、本発明の第3の実施の形態に係る半導体記憶装置について説明する。上記第1、第2の実施の形態では、メモリセルアレイ端のブロックや一つのNANDセルにおけるワード線まわりの配線の周期性の崩れに起因した加工精度の低下を防止するのに対し、この第3の実施の形態は製造工程中に制御ゲート線に印加されるストレスにより、メモリセルの浮遊ゲートまわりの絶縁膜の信頼性が低下したり、記憶データが破壊されたりするのを防止するものである。

【0130】図18(a)、(b)は、メモリセルアレイ中の一つのNANDセル部分のパターン平面図と等価回路図であり、図19(a)、(b)はそれぞれ図18(a)のA-A'線及びB-B'線に沿った断面構成図である。素子分離酸化膜12で囲まれたp型シリコン基板（またはp型ウェル領域）11に複数のNANDセルからなるメモリセルアレイが形成されている。この第3の実施の形態では、前述した第1、第2の実施の形態と同様に、8個のメモリセル  $M_1, M_2, \dots, M_8$  が直列接続されてNANDセルを構成している。

【0131】各メモリセル  $M_1, M_2, \dots, M_8$  はそれぞれ、基板11にゲート酸化膜13を介して浮遊ゲート14(14<sub>1</sub>, 14<sub>2</sub>, ..., 14<sub>8</sub>)が形成され、この上に絶縁膜15を介して制御ゲート16(16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>8</sub>)が形成されて構成されている。これらのメモリセル  $M_1, M_2, \dots, M_8$  のソース、ドレインであるn型拡散層19(19<sub>1</sub>, 19<sub>2</sub>, ..., 19<sub>9</sub>)は、隣接するもの同士共用する形で接続され、これによりメモリセル  $M_1, M_2, \dots, M_8$  が直列接続されている。

【0132】NANDセルのドレイン側、ソース側には

29

それぞれ、メモリセルの浮遊ゲート及び制御ゲートと同一工程で形成された選択ゲート14<sub>g</sub>、16<sub>g</sub>及び14<sub>10</sub>、16<sub>10</sub>が設けられている。上記選択ゲート14<sub>g</sub>と16<sub>g</sub>及び14<sub>10</sub>と16<sub>10</sub>はそれぞれ、図示しない領域で電氣的に接続されており、選択ゲートトランジスタS<sub>1</sub>、S<sub>2</sub>のゲート電極として働く。このようにして素子形成された基板11上はCVD酸化膜(層間絶縁膜)17により覆われ、このCVD酸化膜17上にビット線18(BL)が配設されている。ビット線18はNANDセルの一端のドレイン側拡散層19<sub>0</sub>にコンタクトされ、行方向に並ぶNANDセルの制御ゲート14は、共通に制御ゲート線CG(1)、CG(2)、…、CG(8)として配設されている。これらの制御ゲート線はワード線として働く。選択ゲート14<sub>g</sub>、16<sub>g</sub>及び14<sub>10</sub>、16<sub>10</sub>もそれぞれ行方向に連続的に選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>として配設されている。また、上記ビット線18と制御ゲート線・選択ゲート線用配線層との間にソース線用の配線層22が配設され、NANDセルのソース側拡散層19<sub>10</sub>(ビット線コンタクトと反対側の端)にコンタクトされている。

【0133】図20は、メモリセルアレイとロウデコードとの接続例、及びロウデコードの構成例を示している。各ブロック毎のNANDセルブロックデコード信号はナンドゲート51に供給され、ロウデコード起動信号RDECDはインバータ52に供給される。上記ナンドゲート51の出力信号及び上記インバータ52の出力信号はそれぞれノアゲート53に供給され、このノアゲート53の出力信号が電圧切換回路54に供給される。この電圧切換回路54は、上記ノアゲート53の出力信号に応答してノードN1、N2のレベルを切り換えるもので、インバータ55とフリップフロップ56とから構成されている。上記ノアゲート53の出力信号と上記インバータ55の出力信号が上記フリップフロップ56に供給され、このフリップフロップ56の出力が反転される。この電圧切換回路54からノードN1を経てロウデコード5a、5bに電圧VPPRWが供給される。上記ロウデコード5aには信号SGD、SGDS、CGD2、CGD4、CGD6、CGD8が供給され、上記ロウデコード5bには信号CGD1、CGD3、CGD5、CGD7、SGS及び電圧VPPRWが供給される。そして、メモリセルアレイ2に上記ロウデコード5a、5bによるデコード信号が供給されるようになっている。

【0134】図20から分かるように、メモリセルアレイ2中の制御ゲート線CG(1)~CG(8)や選択ゲート線SG<sub>1</sub>、SG<sub>2</sub>は、ロウデコード5a、5b中のトランジスタのソース・ドレインの一方に接続されている。

【0135】上記メモリセルアレイ2内からロウデコード5a、5b内への制御ゲート線と選択ゲート線の接続

30

に関する構成例を図21に示す。図21(a)は制御ゲート線の構成例、図21(b)選択ゲート線の構成例である。図21(a)や図21(b)の右端のNチャネル型トランジスタQNはロウデコード5a、5b内のトランジスタに相当する。

【0136】制御ゲート線は、図21(a)の例では、メモリセルアレイ2からロウデコード5a、5b内のトランジスタQNに接続する際には、制御ゲート線より上層の配線層としては1層の配線層22しか用いていない。よって、このような構成によれば、製造工程中に制御ゲート線にコンタクトを取る回数が1回で済むため、コンタクト加工時に制御ゲート線が帯電して浮遊ゲートまわりの絶縁膜にストレスが印加される回数も1回となり、従来の2回と比べて大幅にストレスを低減できる。これによって、コンタクト加工時の浮遊ゲートまわりの絶縁膜膜質の悪化を従来よりも大幅に改善でき、メモリセルの高いデータ保持特性を実現できる。従って、データ破壊の危険性を従来よりも大幅に低減した信頼性の高いチップを実現できる。

【0137】一方、選択ゲート線は、図21(b)の例では、メモリセルアレイからロウデコード5a、5b内のトランジスタQNに接続する際に、制御ゲート線よりも上層の配線層として2層の配線層22、18を用いている。これは、選択ゲート線はNANDセル内の選択トランジスタのゲート電極を構成しており、ゲート電極まわりの絶縁層の膜質に対して極めて高い要求が必要とされる動作や役目(メモリセルにおけるデータ保持に相当)がないため、選択ゲート線には多少のストレスが印加されても大きな問題とはならないからである。

【0138】また、通常選択ゲート線はブロックの選択・非選択を制御する役目があり、信頼性の高い動作の実現のためには選択ゲート線の充放電が高速に行えることが望ましい。例えば、ビット線から読み出し動作時に非選択ブロックのNANDセルを介して流れるリーク電流を低減するには、非選択ブロックの選択トランジスタを高速にオフする必要がある。このため選択ゲート線の充放電の高速化は重要となる。この高速化を実現するためには、メモリセルアレイ2からロウデコード5a、5b内の選択ゲート線の配線抵抗の値が低いことが望ましい。通常、異なる配線層を比較すると、上層の配線の方が抵抗率が低くなるため、選択ゲート線の配線としては、少しでも上層の配線を用いることが望ましく、従って、図21(b)の例では上層の配線層18を用いて接続した。一方、制御ゲート線に関しては、通常、充放電の高速化よりもメモリセルのデータ保持特性を向上する方が重要であるため、図21(a)においては配線層18を用いることなしに接続を行っている。

【0139】また、ロウデコード5a、5bのパターン作成に関しても図21のように、セルアレイ2からロウデコード5a、5bへの配線として、制御ゲート線と選

31

択ゲート線と異なる配線層を用いることにより次のような利点が得られる。すなわち、ロウデコーダ5a、5bのパターンは、NANDセルの1ブロックの幅(図18(a)の長辺方向の長さに相当)に、図20に示したロウデコーダ5a、5bの全てのトランジスタを配置せねばならない。つまり、パターン作成時には上記した1ブロック幅に多く(制御ゲート線と選択ゲート線を合わせた数)の配線を通さねばならない。図39(a)、

(b)に示したように、制御ゲート線と選択ゲート線の配線層が同じ構造の場合には、制御ゲート線と選択ゲート線の配線を重ねて配置できないため、配線を通すために必要な幅が広くなり、ロウデコーダ5a、5bのパターン面積が増加する、配線のデザインルールを厳しくせざるを得ない(配線ピッチを小さくせざるを得ない)、等の問題が起こる。これに対し、図21(a)、(b)に示したように、配線に用いる主な配線層(図21における制御ゲート線として用いる配線層22や選択ゲート線として用いる配線層18に相当)が、制御ゲート線と選択ゲート線とで異なる場合には、制御ゲート線と選択ゲート線を重ねて配置できるため、デザインルールを厳しくすることなく、パターン面積の小さなロウデコーダ5a、5bを形成できる。

【0140】上記し、また以下に述べる主な配線層若しくは主配線の配線層とは、選択ゲート線や制御ゲート線において、メモリセルアレイ端からロウデコーダ中へのトランジスタの接続に用いる配線層のうち、配線長が最も長い配線(第3の実施の形態の図面中で最も長く描かれている)を構成する配線層に相当し、図21に示した制御ゲート線における配線層22や、選択ゲート線における配線層18に相当する。また、1本の選択ゲート線や1本の制御ゲート線と接続するロウデコーダ中のトランジスタが複数ある場合には、メモリセルアレイ端からの配線を最初に接続するトランジスタ(通常は最もメモリセルアレイ側に配置されたトランジスタに相当)の接続部とメモリセルアレイ端の間の配線のみを考えることにし、この範囲内で配線長が最も長い配線を構成する配線層を主配線の配線層と呼ぶことにする。

【0141】上記第3実施の形態では、メモリセルアレイ2からロウデコーダ5a、5bへの配線層において、制御ゲート線に用いる配線層よりも上層にある配線層を制御ゲート線に用いることにより、選択ゲート線の高速な充放電動作と、コンタクト加工時のメモリセルへの印加ストレスの低減、ロウデコーダ5a、5bのパターン面積の低減を実現する方式について説明したが、本発明は上記第3の実施の形態に限定されるものではなく種々変形可能である。

【0142】例えば、上記第3の実施の形態において制御ゲート線として図21(a)に示した構成の代わりに図22(a)や図22(b)に示した配線構造を用い、選択ゲート線としては図21(b)の配線構造を用いて

32

も同様な作用効果が得られる。図22(a)は、制御ゲート線を一度配線層22に接続した後、再び制御ゲート線と同じ工程で形成された配線層16に接続するものである。また、図22(b)は、制御ゲート線を一度配線層22に接続した後、配線層22と配線層16との間にある配線層23に接続するものである。この配線層23を用いる構成は、配線層16と直接接続できない配線、例えばポリシリコン配線を用いる場合などに好適なものであり、この場合には配線層16や配線層23と接続可能な配線層22を介在させて両配線層間を接続することになる。図22(a)や図22(b)に示したような配線構造を用いる場合にも、図21(a)の場合と同様に、制御ゲート線16<sub>i</sub>( $i=1\sim 8$ )に対してストレスが印加されるコンタクトの加工工程が1回(配線層22と制御ゲート線16<sub>i</sub>( $i=1\sim 8$ )間のコンタクト)で済む上、制御ゲート線に主として用いる配線層22や23が選択ゲート線に主に用いられる配線層18(図21(b)参照)と異なるため、図21に示した配線構造を用いたときと同様な効果が得られる。

【0143】図23(a)、(b)、(c)はそれぞれ、メモリセルアレイ2からロウデコーダ5a、5bへの配線構造の別の例を示しており、制御ゲート線の配線構造として図23(a)、(b)、(c)を、選択ゲート線の配線として図21(b)を用いた場合について次に述べる。

【0144】図23(a)は、制御ゲート線として主に配線層18を用い、且つ配線層16<sub>i</sub>( $i=1\sim 8$ )を用いて制御ゲート線をpn接合に接続した構成である。配線層18は配線層22を介して配線層16<sub>i</sub>に接続されており、配線層16<sub>i</sub>がn<sup>+</sup>型拡散層25にコンタクトされている。上記制御ゲート線は、動作時に0V~20V程度の電圧範囲を取るため、p型ウェル領域が0V以下の電圧であれば、通常動作時にはこのn<sup>+</sup>型拡散層25とp型ウェル領域間が順バイアスとなることはなく、動作に影響を与えない。図23(a)のNチャネル型トランジスタQNが形成されるp型ウェル電圧も通常0V以下にあるため、n<sup>+</sup>型拡散層25とトランジスタQNのソース・ドレイン領域を同じp型ウェル領域中に形成することも可能であり、この場合にはp型ウェル領域を2個設ける必要がなくなるためパターン面積を縮小できる。このように、配線層16<sub>i</sub>をpn接合に接続すると、製造工程中の配線層22と配線層16<sub>i</sub>間のコンタクト加工時や、配線層18と配線層22間のコンタクト加工時に配線層16<sub>i</sub>が帯電しようとした場合に、このpn接合が配線層16<sub>i</sub>の電荷を放電する電流パスの役目をするため、配線層16<sub>i</sub>の帯電に起因したメモリセルへの印加ストレスを低減できる。通常、配線層16<sub>i</sub>はポリシリコンを用いて形成され、この場合には配線層16<sub>i</sub>から直接n<sup>+</sup>型拡散層25にコンタクトを取った場合には、アルミニウム(A1)やタングステン

33

(W) 等の配線材を用いたコンタクトの抵抗に比べ、コンタクト抵抗が大きくなる傾向があるため、トランジスタQNのソース・ドレインを形成する $n^+$ 型拡散層に対してポリシリコン配線を直接接続する方式はあまり使用しない。しかしながら、上記したような製造工程中の配線の帯電を防止するための電流バスとしては、多少コンタクト抵抗が大きくても、ある程度の電流を流すバスとして機能すれば充分であり、 $p-n$ 接合と配線層16iとの接続がない場合に比べると、大幅な印加ストレスの低減を実現できる。

【0145】図23(b)では、 $p-n$ 接合への接続を配線層22で行う場合を示している。この場合には、図21(a)の場合と同様に、配線層22と配線層16iの接続用のコンタクト加工時に配線層16iの帯電に起因したストレスが印加される。しかしながら、配線層18と配線層22の接続用のコンタクト加工時には、既に配線層22と $p-n$ 接合の接続が完了しているため、放電用の電流バスが形成されており、配線層22や16の帯電に起因した印加ストレスの大幅な低減を図ることができる。

【0146】従って、図23(a)や図23(b)から分かるように、従来の配線構造で説明した図38(a)と同様に、配線層18を制御ゲート線の主配線として用いる場合でも、 $p-n$ 接合との接続部を設けることにより、コンタクト加工時の配線層16iの帯電に起因したストレスの印加を大幅に低減できることは明らかである。

【0147】図23(c)では、図21(a)に示した配線構造に、配線層16iの $p-n$ 接合への接続を追加した構成を示しており、この場合には配線層16iへのコンタクト加工時のストレス印加回数が1回と少ない上、ストレスの印加時には既に配線層16iの $p-n$ 接合への接続が完了した状態にあるため、この1回分の印加ストレスが更に低減されたものとなる。従って、極めて印加ストレスを小さく抑えることができる。

【0148】また、図示はしていないが、図22(a)や図22(b)の構成に配線層16iの $p-n$ 接合への接続を加えた場合等、上記第3の実施の形態は種々変形可能である。

【0149】更に、上記第3の実施の形態では、選択ゲート線の構成例として、図21(b)を用いた場合の配線構造を用いて本発明の説明を行ったが、他の場合、例えば選択ゲート線の構成例として図24(a)~(d)のものを用いた場合にも本発明は有効である。

【0150】まず、制御ゲート線の配線構造として図22(a)を、選択ゲート線の配線構造として図24(a)を用いる場合を考える。メモリセルアレイ2とロウデコード5a、5b間の接続用に用いることができる配線層として、配線層16と配線層22の2つのみである場合に、より抵抗率が低い配線層(配線22に相当)

34

を選択ゲート線用配線として用い、残りの配線層16を制御ゲート線用配線として用いる方式であり、制御ゲート線の充放電の高速化の実現やロウデコード5a、5bのパターン面積の縮小につながる。

【0151】また、図23(c)と図24(a)を用いる場合には、制御ゲート線と選択ゲート線の配線構成の違いは $p-n$ 接合への接続の有無のみとなる。 $p-n$ 接合はパターン面積の多少の増加や接続した配線の容量の増加などの欠点があるため、極力 $p-n$ 接合を接続する配線数は少ない方が望ましい。図23(c)と図24(a)の配線構造を組み合わせた場合には、制御ゲート線を $p-n$ 接合へ接続し、選択ゲート線は $p-n$ 接合に接続しないため、 $p-n$ 接合の数が最小限(=制御ゲート線数)となる利点がある。この変形例は、メモリセルアレイ2からロウデコード5a、5bへの接続用の配線に配線層22のみしか用いることができない場合には特に有効となる方式である。

【0152】上記第3の実施の形態では、選択ゲート線におけるコンタクト加工時の印加ストレスの低減に関しては考慮しない場合について説明してきた。しかしながら、選択ゲート線に印加されるストレスも低減する方が更に好ましく、この場合にはストレス低減の目的で $p-n$ 接合との接続を行う方式も有効となる。例えば、選択ゲート線の配線構造として図24(b)を、また制御ゲート線の配線構造として図21(a)、図22(a)、図22(b)、図23(c)などを用いた場合も、ロウデコード5a、5bのパターン面積の縮小(制御ゲート線と選択ゲート線の主配線が異なるため)や印加ストレスの低減、選択ゲート線の充放電動作の高速化(=抵抗率の低い配線層(通常は、より上層に位置する配線層)を選択ゲート線の主配線に使用)等を実現できる。また、選択ゲート線の配線構造として図24(c)を、また制御ゲート線の配線構造として図21(a)、図22(a)、図22(b)、図23(c)などを用いた場合も、同様の効果を得ることができる。更に、選択ゲート線の配線構造として図24(d)を、また制御ゲート線の配線構造として図22(a)、図22(b)などを用いた場合にも同様の効果を得ることができる。

【0153】上記第3の実施の形態では、選択ゲート線と制御ゲート線をそれぞれ接続した $p-n$ 接合は、 $n^+$ 型拡散層-p型ウェル構成であり、配線層を $n^+$ 型拡散層に接続する場合を例にとって説明したが、他の場合、例えば $p^+$ 型拡散層-n型ウェル構成の $p-n$ 接合の $p^+$ 型拡散層に接合する場合にも本発明は有効である。この場合には、 $p^+$ 型拡散層-n型ウェル構成の $p-n$ 接合が順バイアスとなって制御ゲート線の電圧が変動することを避けるため、通常動作時にはn型ウェル領域の電圧を接続された制御ゲート線や選択ゲート線以上の電圧とする必要がある。

【0154】上述した電流バスとしての $p-n$ 接合を介し

35

での電流は、 $n^+$ 型拡散層-p型ウェル構成では配線層の帯電が正の場合には $p-n$ 接合の逆方向電流、配線層の帯電が負の場合には $p-n$ 接合の順方向電流に相当する。一方、 $p^+$ 型拡散層-n型ウェル構成では、配線層の帯電が正の場合には $p-n$ 接合の順方向電流、配線層の帯電が負の場合には $p-n$ 接合の逆方向電流に相当する。一般的に同一の $p-n$ 接合においては、順方向電流は逆方向電流に比べずっと大きいので、コンタクト加工時の印加ストレス緩和の効果としては、電流バスを介した電流量がより大きい $p-n$ 接合の順方向電流を利用の方がより大きい。

【0155】従って、コンタクト加工時の帯電が正の場合には、 $p^+$ 型拡散層-n型ウェル構成の $p-n$ 接合を用い、負の場合には $n^+$ 型拡散層-p型ウェル構成の $p-n$ 接合を用いる構成が印加ストレス低減の効果が最も高くなる。さらに、帯電を防止したい配線層に対して、 $p^+$ 型拡散層-n型ウェル構成と $n^+$ 型拡散層-p型ウェル構成の両方の $p-n$ 接合を用いる場合には、帯電の正負に関係なく $p-n$ 接合の順方向電流による電流バスを実現でき、印加ストレスを最大限に緩和できる。

【0156】図25に、図23(b)に対して、 $p^+$ 型拡散層-n型ウェル構成と $n^+$ 型拡散層-p型ウェル構成の両方の $p-n$ 接合を設けた配線構造の例を示す。一般的に、配線層16iと直接 $n^+$ 型拡散層や $p^+$ 型拡散層とを接続する場合には、配線層16iが $p$ 型ポリシリコンの場合は $n^+$ 型拡散層25-1とのコンタクト抵抗が、配線層16iが $n$ 型ポリシリコンの場合は $p^+$ 型拡散層25-2とのコンタクト抵抗が極めて大きくなる。この場合にはA1やWなどの( $n^+$ 型拡散層25-1、 $p^+$ 型拡散層25-2ともコンタクト抵抗が比較的低い)配線層を介して $p-n$ 接合と配線層16iとを接続するのが望ましく、図25(a)ではこの方式を用いている。別の例としては、図25(b)のように、配線層16iが $n$ 型ポリシリコンの場合に $n^+$ 型拡散層25-1と配線層16iは直接接続し、 $p^+$ 型拡散層25-2とは配線層22を介して接続する、等種々変更可能である。

【0157】図26に更に他の変形例を示す。図26では、制御ゲート線の配線が、図26内に図示されたロウデコーダ5a、5b内のトランジスタQNに接続される以外にも使用される時に、ロウデコーダ5a、5b内にて更に上層にある配線層18と接続される配線構造であり、この時の配線層18と配線層22の間の接続を取るコンタクト加工時の印加ストレスを低減する方式を示している。図26(a)では、配線層22はトランジスタQNのソース・ドレインとしての $n^+$ 型拡散層に接続されている( $n^+$ 型拡散層-p型ウェル構成の $p-n$ 接合と接続されている)ため、新規に配線層22に接続する $p-n$ 接合は $n$ 型ウェル領域中に設けた $p^+$ 型拡散層25-1だけで充分である。図26(b)では、同様に、配線

36

層22はトランジスタQNの $p^+$ 型拡散層に接続されている( $p^+$ 型拡散層-n型ウェル構成の $p-n$ 接合と接続されている)ため、新規に配線層22に接続する $p-n$ 接合は $p$ 型ウェル領域中に設けた $n^+$ 型拡散層25-2だけで充分である。

【0158】図27に別の変形例を示す。図27の配線構造は、図21の変形例である。図27(a)は、図21(a)のトランジスタQNの上部に配線層18を追加したものである。チップの評価時には、通常、ワード線と同電位であるノードに針を当ててワード線電位を測定する手法を用いる。一般的には、配線層の位置が上層であるほど針を当てるのが容易であり、従って、図27

(a)の配線層18のノードは針当たりを容易にすることを目的として設けられている。また、図27(a)を用いる場合のコンタクト開口時のダメージに関しては、図21(a)に比べて、配線層18と配線層22との接続用のコンタクト開口時におけるダメージのみ異なるが、この場合には配線層22が既にトランジスタの $p-n$ 接合に接続されているため、配線層22や制御ゲート線14i( $i=1\sim 8$ )が帯電することがなく、ほとんどダメージがない。このため、図21(a)の代わりに図27(a)の配線構造を用いる場合にも、従来に比べ大幅に信頼性の高いチップを実現できる。

【0159】図27(b)は、配線層18よりも更に上層に位置する配線層が存在する場合の変形例であり、図27(a)に示した配線構造に配線層24を追加した構成となっている。配線層24は配線層18よりも更に上層に位置するため、図27(b)の配線構造を用いると、図27(a)よりも針当たりが容易になり、また配線層22と配線層24間のコンタクト開口時には、配線層22が既にトランジスタQNの $p-n$ 接合に接続されているため、配線層22や制御ゲート線14i( $i=1\sim 8$ )が帯電することがなく、ほとんどダメージがない。このため、図27(b)の配線構造を用いる場合にも、従来に比べ大幅に信頼性の高いチップを実現できる。

【0160】図27(c)は、図21(b)に配線層24を追加した場合の変形例であり、図27(b)の配線構造と同様に、針当たりを容易にするとともに、従来に比べ大幅に信頼性の高いチップを実現できる。

【0161】以上、種々の変形例を用いて本発明の第3の実施の形態について説明を行ったが、本発明は上記第3の実施の形態に限定されるものではなく、種々変更可能である。例えば図25及び図26では、制御ゲート線の配線構造例を示したが、選択ゲート線に対して同様の配線構造を用いることもできる。

【0162】また、上記第3の実施の形態中では、メモリセルアレイ端において、選択ゲート線の電圧を他の配線等と接続する場合に、配線層14にコンタクトを取る場合を例にとりて本発明の説明を行ったが、メモリセルアレイ内等にて選択ゲート線部の配線層14と配線層1

37

6が接続されている場合には、上記第3の実施の形態にて配線14<sub>j</sub> ( $j = 9, 10$ )と接続していた部分を配線16<sub>j</sub> ( $j = 9, 10$ )との接続に変更することも可能であり、上記第3の実施の形態と同様の効果を得ることができる。

【0163】また、上記第3の実施の形態では、制御ゲート線のメモリセルアレイ2からロウデコード5a、5bの配線構造が全て同一である場合を例にとって説明を行ったが、上記複数の変形例を組み合わせた場合も有効である。例えば、選択ゲート線は図21(b)、制御ゲート線8本のうち、3本は図23(b)、5本は図21(a)を用いる配線構造においても本発明は有効である。また、選択ゲート線は図21(b)を用い、制御ゲート線8本のうち2本が図21(a)、3本が図22(a)、3本が図23(b)のように3種類以上の変形例を組み合わせた場合においても本発明は有効となる。ロウデコード5a、5bのパターンを考えた場合、メモリセルアレイ2からロウデコード5a、5bにおける制御ゲート線と選択ゲート線の主配線の配線層が分かれていた方が各配線を重ねてパターンを作成できる。例えば、3つの配線層に分かれていれば3段に重ねて描けるため、パターン面積を小さくできる。その他パターン面積の縮小を実現するために、パターン作成時の都合により、上記変形例の複数を組み合わせて使用することは大変有効となる。

【0164】上記第3の実施の形態中では、配線に用いる配線層の最上層が配線層18である場合を例にとって本発明の説明を行ったが、上記以外の場合、例えば配線層18の上層に位置し、配線層18と直接接続可能な配線層を追加して使用する等の変更も可能であり、このような配線構造にも本発明は有効である。

【0165】なお、上記第1ないし第3の実施の形態では1個のNANDセル中で直列接続されたメモリセルの数が8個の場合について説明したが、直列接続するメモリセルの数が8個ではなく、例えば2、4、16、32、64個などであっても同様に本発明は適用可能である。また、上記第1ないし第3の実施の形態中では、NANDセル型EEPROMを例にとって本発明の説明を行ったが、本発明はNAND型EEPROMに限られるものではなく他のデバイス、例えば第1、第3の実施の形態はNORセル型EEPROM、DINORセル型EEPROM、ANDセル型EEPROM、選択トランジスタ付NORセル型EEPROMなどにおいても適用可能であり、第2の実施の形態はDINORセル型EEPROM、ANDセル型EEPROMなどにも適用可能である。

【0166】図28にNORセル型EEPROMにおけるメモリセルアレイの等価回路図を示す。このメモリセルアレイは、ワード線 $WL_j$ 、 $WL_{j+1}$ 、 $WL_{j+2}$ 、…とビット線 $BL_0$ 、 $BL_1$ 、…、 $BL_n$ との各交差位置

38

に、NORセル $M_{j0} \sim M_{j+2n}$ が設けられ、各NORセル $M_{j0} \sim M_{j+2n}$ の制御ゲートは行毎にワード線 $WL_j$ 、 $WL_{j+1}$ 、 $WL_{j+2}$ 、…に、ドレインは列毎にビット線 $BL_0$ 、 $BL_1$ 、…、 $BL_n$ にそれぞれ接続され、ソースはソース線 $SL$ に共通接続されて構成されている。

【0167】また、図29にDINORセル型EEPROMにおけるメモリセルアレイの等価回路図を示す。DINORセル型のメモリセルアレイでは、各メインビット線 $D_0$ 、 $D_1$ 、…、 $D_n$ に対応してDINORセルのブロックが設けられる。各DINORセルは選択ゲートトランジスタ $SQ_0$ 、 $SQ_1$ 、…、 $SQ_n$ とメモリセル $M_{00} \sim M_{31n}$ とから構成されており、上記選択ゲートトランジスタ $SQ_0$ 、 $SQ_1$ 、…、 $SQ_n$ のドレインは各メインビット線 $D_0$ 、 $D_1$ 、…、 $D_n$ に、ゲートは選択ゲート線 $ST$ に、ソースはローカルビット線 $LB_0$ 、 $LB_1$ 、…、 $LB_n$ にそれぞれ接続される。各メモリセル $M_{00} \sim M_{31n}$ のドレインは列毎に上記ローカルビット線 $LB_0$ 、 $LB_1$ 、…、 $LB_n$ に接続され、コントロールゲートは行毎に制御ゲート線 $W_0 \sim W_{31}$ に接続され、ソースはソース線 $SL$ に共通接続される。

【0168】図30は、ANDセル型EEPROMにおけるメモリセルアレイの等価回路図を示している。ANDセル型のメモリセルアレイにあつては、各メインビット線 $D_0$ 、 $D_1$ 、…、 $D_n$ に対応してANDセルのブロックが設けられる。各ANDセルは第1の選択ゲートトランジスタ $SQ_{10}$ 、 $SQ_{11}$ 、…、 $SQ_{1n}$ 、メモリセル $M_{00} \sim M_{31n}$ 及び第2の選択ゲートトランジスタ $SQ_{20}$ 、 $SQ_{21}$ 、…、 $SQ_{2n}$ から構成されており、上記第1の選択ゲートトランジスタ $SQ_{10}$ 、 $SQ_{11}$ 、…、 $SQ_{1n}$ のドレインは各メインビット線 $D_0$ 、 $D_1$ 、…、 $D_n$ に、ゲートは第1の選択ゲート線 $ST_1$ に、ソースはローカルビット線 $LB_0$ 、 $LB_1$ 、…、 $LB_n$ にそれぞれ接続される。各メモリセル $M_{00} \sim M_{31n}$ のドレインは列毎にローカルビット線 $LB_0$ 、 $LB_1$ 、…、 $LB_n$ に接続され、コントロールゲートは行毎に制御ゲート線 $W_0 \sim W_{31}$ に接続され、ソースはローカルソース線 $LS_0$ 、 $LS_1$ 、…、 $LS_n$ に接続される。上記第2の選択ゲートトランジスタ $SQ_{20}$ 、 $SQ_{21}$ 、…、 $SQ_{2n}$ のドレインは各ローカルソース線 $LS_0$ 、 $LS_1$ 、…、 $LS_n$ にそれぞれ接続され、ゲートは第2の選択ゲート線 $ST_2$ に、ソースはメインソース線 $MSL$ に共通接続される。

【0169】更に、図31に選択トランジスタ付NORセル型EEPROMにおけるメモリセルアレイの等価回路図を示す。このメモリセルアレイは、選択トランジスタ $SQ$ とメモリセルトランジスタ $M$ とから成るメモリセル $MC$ がアレイ状に配置されて構成される。各選択トランジスタ $SQ$ のドレインは列毎にビット線 $BL_0$ 、 $BL_1$ 、…、 $BL_n$ に接続され、ゲートは行毎に選択ゲート線 $ST$ に接続され、ソースは対応するメモリセルトランジスタ $M$ のドレインに接続される。上記メモリセルトラ

ンジスタMの制御ゲートは行毎にワード線WLに接続され、ソースはソース線SLに共通接続される。

【0170】なお、上記DINORセル型EEPROMの詳細に関しては“H. Onoda et al., IEDM Tech. Digest, 1992, pp. 599-602”を、上記ANDセル型EEPROMの詳細に関しては“H. Kume et al., IEDM Tech. Digest, 1992, pp. 991-993”をそれぞれ参照されたい。

【0171】DINORセルではメモリセル群の片方にしか選択ゲート線がないが、たとえ選択ゲート線がない部分でも制御ゲート線の周期性が崩れる（例えば、制御ゲート線群の選択ゲートがない側の端の制御ゲート線（図29中のワード線W<sub>31</sub>に相当）の部分）ことによる加工精度の低下に起因した問題を解決するために、選択的にワード線幅の狙い目を変更することは有効であり、この場合にも本発明の第2の実施の形態を適用可能である。

【0172】また、上記第1ないし第3の実施の形態では電氣的に書き替えが可能な不揮発性半導体記憶装置を例にとって本発明の説明を行ったが、他のデバイスでも使用可能であり、例えば他の不揮発性半導体記憶装置、あるいは第1、第2の実施の形態はDRAM、SRAM等のデバイスにも同様に適用可能である。

【0173】以上、第1ないし第3の実施の形態とその種々の変形例を用いて本発明の説明を行ったが、本発明はその他、要旨を逸脱しない範囲で種々変更可能である。

【0174】

【発明の効果】以上説明したように本発明によれば、メモリセルアレイ端領域の加工精度の低下に起因した不良を防ぐことができる。従って、チップサイズをほとんど増加させることなく、従来に比べて、動作の信頼性が高くまた歩留まりも高いチップを実現できる半導体記憶装置が得られる。

【0175】また、ワード線まわりの配線の周期性の崩れに起因した加工精度低下により起こる極端に線幅が細いワード線の発生を防ぐことができる。従って、チップサイズの大幅な増加を招くことなく、従来に比べて、データ書き込み・読み出しの信頼性が高いチップを実現できる半導体記憶装置が得られる。

【0176】更に、製造工程においてメモリセルに印加されるストレスを低減したり、ロウデコーダのパターン面積を縮小することができる。従って、従来に比べて、動作の信頼性や歩留まりが高い安価なチップを実現できる半導体記憶装置が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体記憶装置について説明するためのもので、NANDセル型EEPROMにおけるメモリセルアレイ中のブロック配置を

示す図。

【図2】NANDセルがマトリクス配列されたメモリセルアレイの等価回路図。

【図3】図1に示したNAND-Aセルにより構成されたブロックの構成例を示すもので、(a)図は図2におけるメモリセルアレイの一つのNANDセル部分のパターン平面図、(b)図はその等価回路図。

【図4】図1に示したNAND-Aセルにより構成されたブロックの構成例を示すもので、(a)図は図3

(a)のA-A'線に沿った断面構成図、(b)図はB-B'線に沿った断面構成図。

【図5】図1に示したNAND-Bセルにより構成されたブロックの構成例を示すもので、(a)図は図2におけるメモリセルアレイの一つのNANDセル部分のパターン平面図、(b)図はその等価回路図。

【図6】図1に示したNAND-Bセルにより構成されたブロックの構成例を示すもので、図5(a)のA-A'線に沿った断面構成図。

【図7】図1に示したNAND-Bセルにより構成されたブロックの他の構成例を示すもので、(a)図は図2におけるメモリセルアレイの一つのNANDセル部分のパターン平面図、(b)図はその等価回路図。

【図8】図1に示したNAND-Bセルにより構成されたブロックの他の構成例を示すもので、図7(a)のA-A'線に沿った断面構成図。

【図9】NANDセル型EEPROMにおけるメモリセルアレイ中の他のブロック配置を示す図。

【図10】図1に示したNAND-Bセルを構成するブロックの更に他の構成例を示すもので、(a)図は図2におけるメモリセルアレイの一つのNANDセル部分のパターン平面図、(b)図はその等価回路図。

【図11】図1に示したNAND-Bセルを構成するブロックの更に他の構成例を示すもので、図10(a)のA-A'線に沿った断面構成図。

【図12】NANDセル型EEPROMにおけるメモリセルアレイ中の更に他のブロック配置を示す図。

【図13】NANDセル型EEPROMにおけるメモリセルアレイ中の別のブロック配置を示す図。

【図14】NANDセル型EEPROMにおけるメモリセルアレイ中の更に別のブロック配置を示す図。

【図15】NANDセル型EEPROMにおけるメモリセルアレイ中の更に他のブロック配置を示す図。

【図16】本発明の第2の実施の形態に係る半導体記憶装置について説明するためのもので、(a)図はメモリセルアレイ中の一つのNANDセル部分のパターン平面図、(b)図はその等価回路図。

【図17】本発明の第2の実施の形態に係る半導体記憶装置について説明するためのもので、(a)図は図16(a)のA-A'線に沿った断面構成図、(b)図はB-B'線に沿った断面構成図。

41

【図 18】本発明の第 3 の実施の形態に係る半導体記憶装置について説明するためのもので、(a) 図はメモリセルアレイ中の一つの NAND セル部分のパターン平面図、(b) 図はその等価回路図。

【図 19】本発明の第 3 の実施の形態に係る半導体記憶装置について説明するためのもので、(a) 図は図 18 (a) の A-A' 線に沿った断面構成図、(b) 図は B-B' 線に沿った断面構成図。

【図 20】本発明の第 3 の実施の形態に係る半導体記憶装置について説明するためのもので、メモリセルアレイとロウデコーダの接続例、及びロウデコーダの構成例を示す回路図。

【図 21】図 20 に示した回路におけるメモリセルアレイ内からロウデコーダ内への制御ゲート線と選択ゲート線の接続に関する構成例を示すもので、(a) 図は制御ゲート線の断面構成図、(b) 図は選択ゲート線の断面構成図。

【図 22】図 21 (a) に示した制御ゲート線の他の構成例を示すもので、(a) 図は制御ゲート線を一度別の配線層に接続した後、再び制御ゲート線と同じ配線層に接続する場合、(b) 図は制御ゲート線を一度別の配線層に接続した後、この配線層と制御ゲート線の配線層との間にある配線層に接続する場合の断面構成図。

【図 23】制御ゲート線のメモリセルアレイからロウデコーダの配線構造の別の例を示しており、(a) 図は制御ゲート線配線として最上層の配線層を用い且つ制御ゲートと p n 接合を制御ゲート線の配線層を用いて直接接続した場合、(b) 図は p n 接合への接続を行う配線層が制御ゲート線用配線層より上層の配線層の場合、

(c) 図は (a) 図に制御ゲート線の p n 接合への接続を追加した場合の断面構成図。

【図 24】選択ゲート線の構成例について説明するためのもので、(a) 図は選択ゲート線の充放電の高速化の実現やロウデコーダのパターン面積の縮小を図った選択ゲート線の配線構造、(b) 図はストレス低減の目的で p n 接合との接続を行うようにした選択ゲート線の配線構造、(c) 図及び (d) 図はロウデコーダのパターン面積の縮小、ストレスの低減、選択ゲート線の充放電動作の高速化等を図った選択ゲート線の配線構造。

【図 25】選択ゲート線の構成例について説明するためのもので、(a) 図は図 23 (b) の配線構造に対して、p<sup>+</sup> 型拡散層-n 型ウェル構成と n<sup>+</sup> 型拡散層-p 型ウェル構成の両方の p n 接合を設けた配線構造、

(b) 図は配線層が n 型ポリシリコンの場合に n<sup>+</sup> 型拡散層とこの配線層を直接接続し、p<sup>+</sup> 型拡散層とは別の配線層を介して接続する配線構造。

【図 26】選択ゲート線の異なる構成例について説明するためのもので、(a) 図及び (b) 図はそれぞれロウデコーダ内のトランジスタのソース・ドレイン領域としての拡散層を利用してストレスを低減する配線構造。

42

【図 27】図 21 に示した配線構造の変更例を示すもので、(a) 図は図 21 (a) のトランジスタの上部に電位測定用の針を当てる配線層を追加した配線構造、

(b) 図は図 27 (a) に示した配線構造に電位測定用の針を当てる配線層をさらに追加した配線構造、(c) 図は図 21 (b) に示した配線構造に電位測定用の針を当てる配線層を追加した配線構造。

【図 28】NOR セル型 EEPROM におけるメモリセルアレイの等価回路図。

【図 29】DINOR セル型 EEPROM におけるメモリセルアレイの等価回路図。

【図 30】AND セル型 EEPROM におけるメモリセルアレイの等価回路図。

【図 31】選択トランジスタ付 NOR セル型 EEPROM におけるメモリセルアレイの等価回路図。

【図 32】従来の半導体記憶装置について説明するためのもので、NAND セル型 EEPROM におけるメモリセルアレイ中のブロック配置を示す図。

【図 33】図 32 に示したメモリセルアレイの一部の詳細な構成例を示しており、NAND セルがマトリクス配列されたメモリセルアレイの等価回路図。

【図 34】図 33 に示した回路における一つの NAND セルを抽出して詳細に示しており、(a) 図は NAND セル部分のパターン平面図、(b) 図はその等価回路図。

【図 35】図 33 に示した回路における一つの NAND セルを抽出して詳細に示しており、(a) 図は図 34 (a) に示したパターンの A-A' 線に沿った断面構成図、(b) 図は B-B' 線に沿った断面構成図。

【図 36】図 33 に示した回路における一つの NAND セルを抽出した他の詳細な構成例を示しており、(a) 図は NAND セル部分のパターン平面図、(b) 図はその等価回路図。

【図 37】図 33 に示した回路における一つの NAND セルを抽出した他の詳細な構成例を示しており、(a) 図は図 36 (a) に示したパターンの A-A' 線に沿った断面構成図、(b) 図は B-B' 線に沿った断面構成図。

【図 38】加工精度が低下した場合の問題について説明するためのもので、(a) 図は制御ゲート線が狙い目の線幅にある場合、(b) 図は制御ゲート線が狙い目よりも細くなった場合のメモリセルの断面構成図。

【図 39】メモリセルアレイ内からロウデコーダ内への制御ゲート線と選択ゲート線との接続に用いられる配線構造について説明するためのもので、(a) 図は制御ゲート線、(b) 図は選択ゲート線の配線構造を示す図。

【符号の説明】

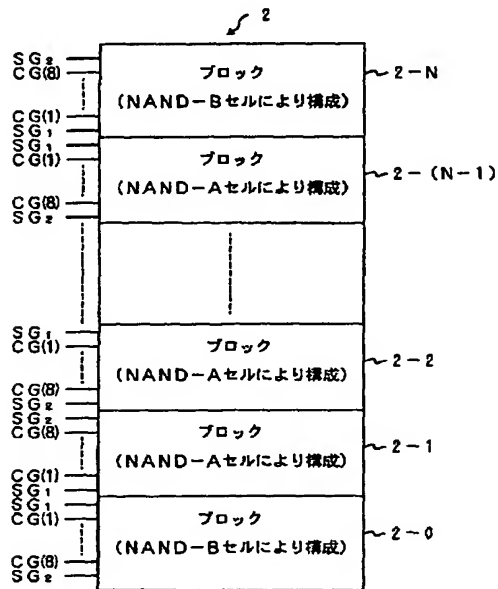
2…メモリセルアレイ、2-0~2-N…ブロック、5a、5b…ロウデコーダ、11…p 型シリコン基板（または p 型ウェル領域）、12…素子分離酸化膜、13…

43

ゲート絶縁膜、14 (14<sub>1</sub>, 14<sub>2</sub>, ..., 14<sub>8</sub>) ...  
 浮遊ゲート、15 ... 絶縁膜、16 (16<sub>1</sub>, 16<sub>2</sub>,  
 ..., 16<sub>8</sub>) ... 制御ゲート (配線層)、17 ... CVD酸  
 化膜 (層間絶縁膜)、18, BL, BL<sub>1</sub> ~ BL<sub>m</sub> ... ビ  
 ット線 (配線層)、19 (19<sub>1</sub>, 19<sub>2</sub>, ..., 1

\*

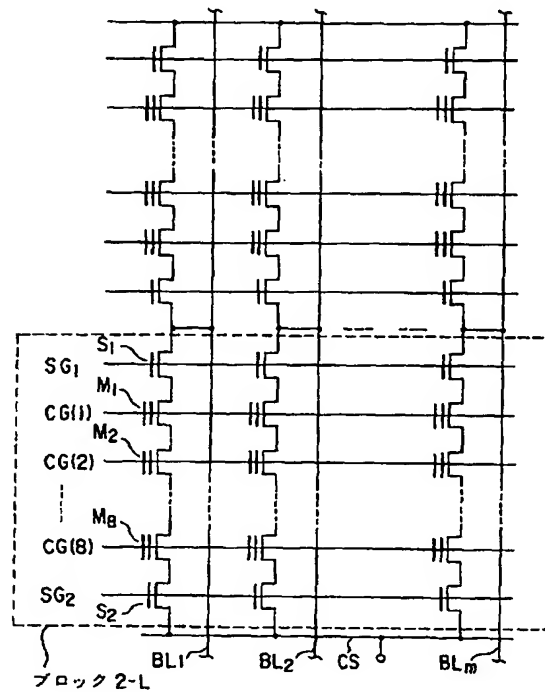
【図1】



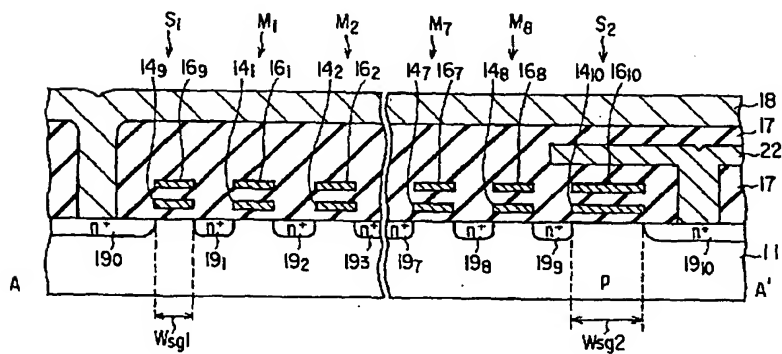
44

\* 9g) ... n型拡散層、22, 24 ... 配線層、25 ... n<sup>+</sup>  
 型拡散層、M<sub>1</sub>, M<sub>2</sub>, ..., M<sub>8</sub> ... メモリセル、S  
 G<sub>1</sub>, SG<sub>2</sub> ... 選択ゲート線、CG (1) ~ CG (8)  
 ... 制御ゲート線、QN ... Nチャネル型トランジスタ。

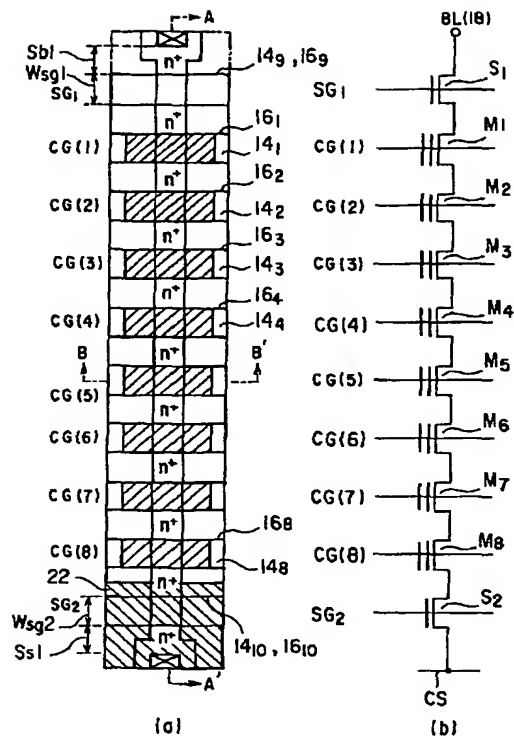
【図2】



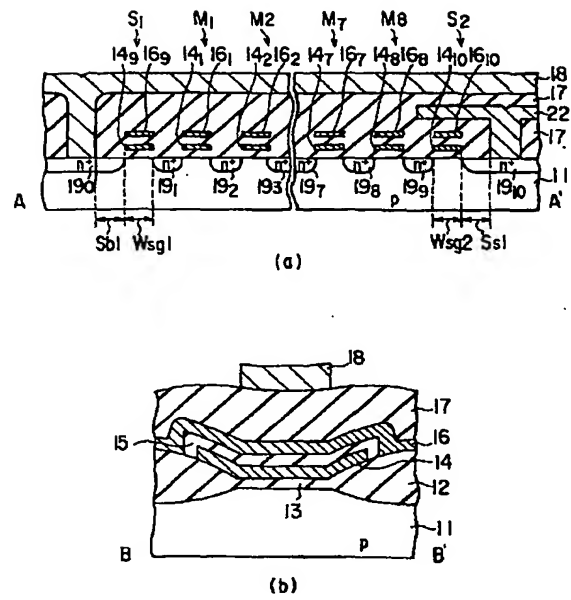
【図6】



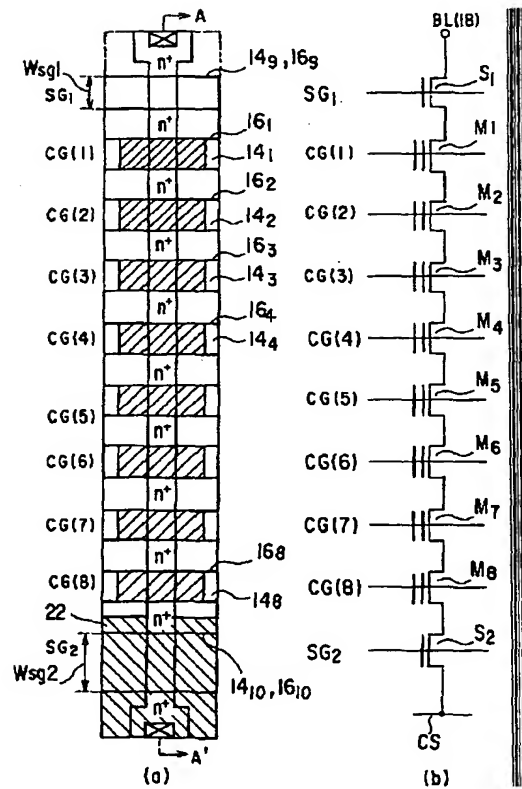
【図 3】



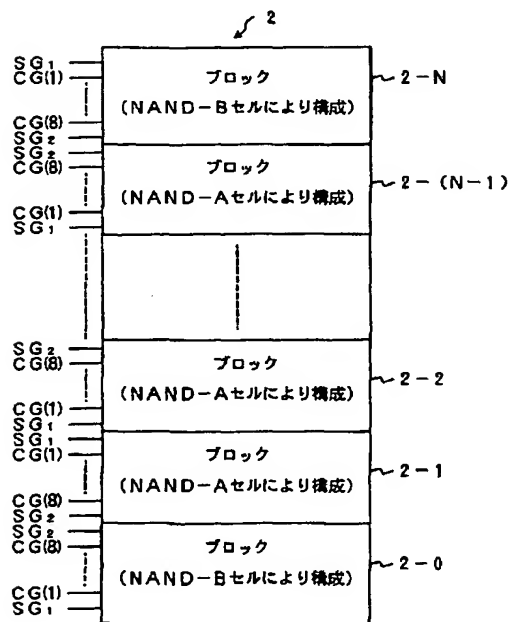
【図 4】



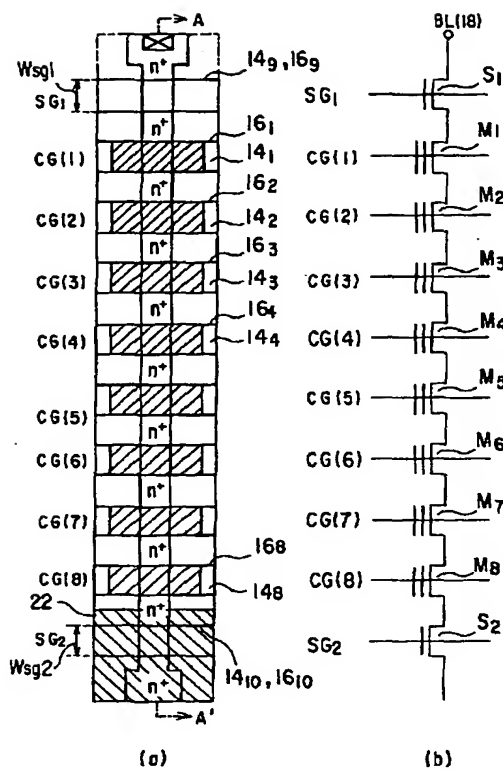
【図 5】



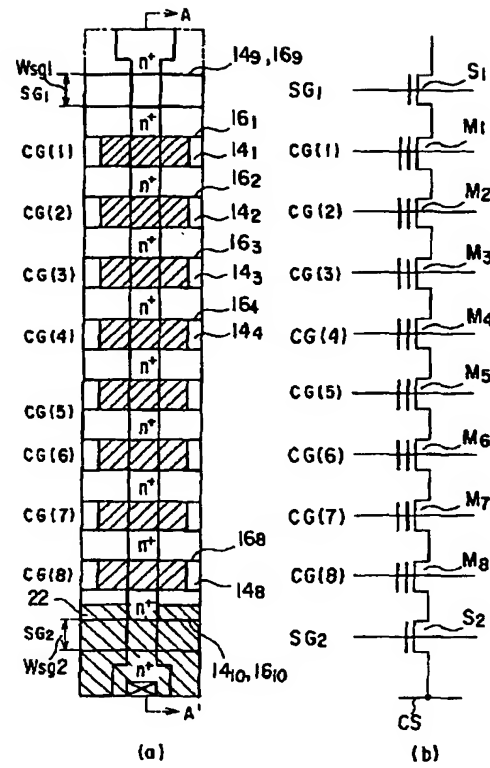
【図 9】



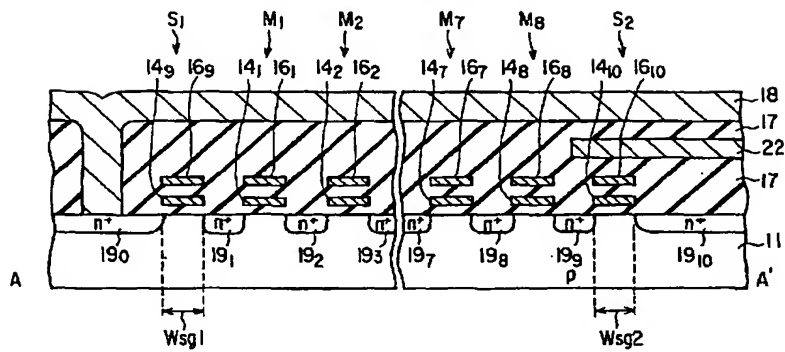
【図 7】



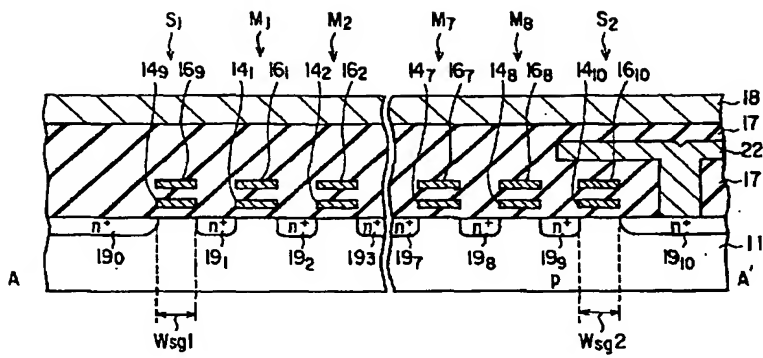
【図 10】



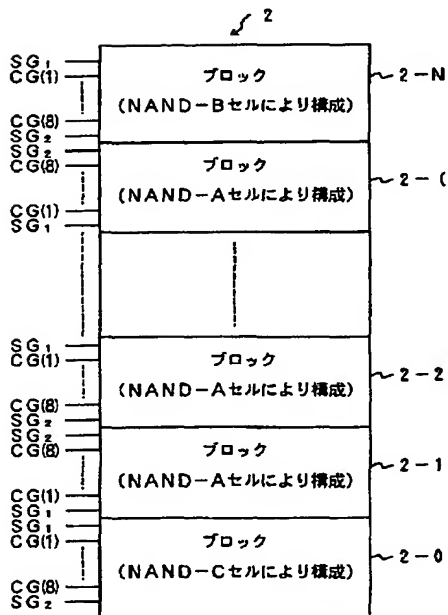
【図 8】



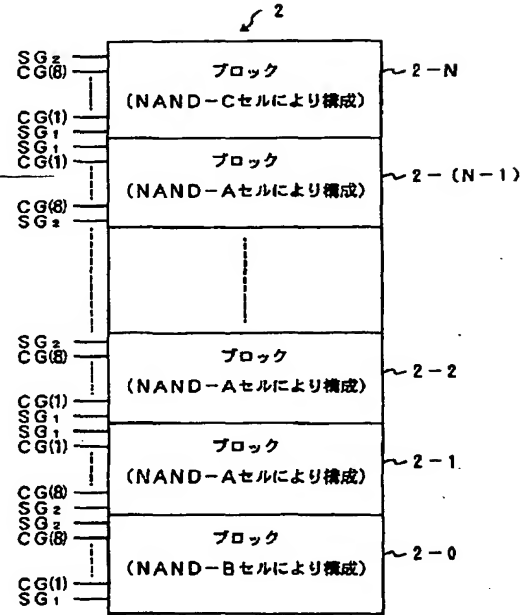
【図 11】



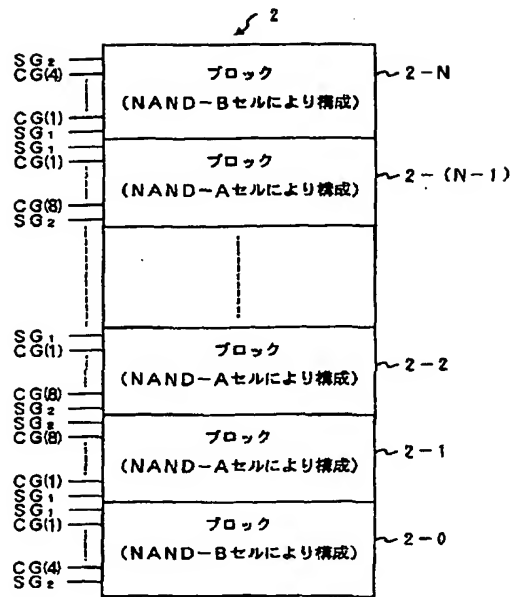
【図 12】



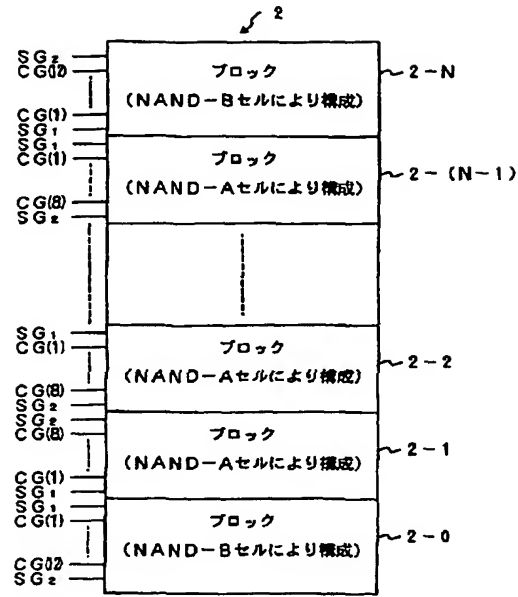
【図 13】



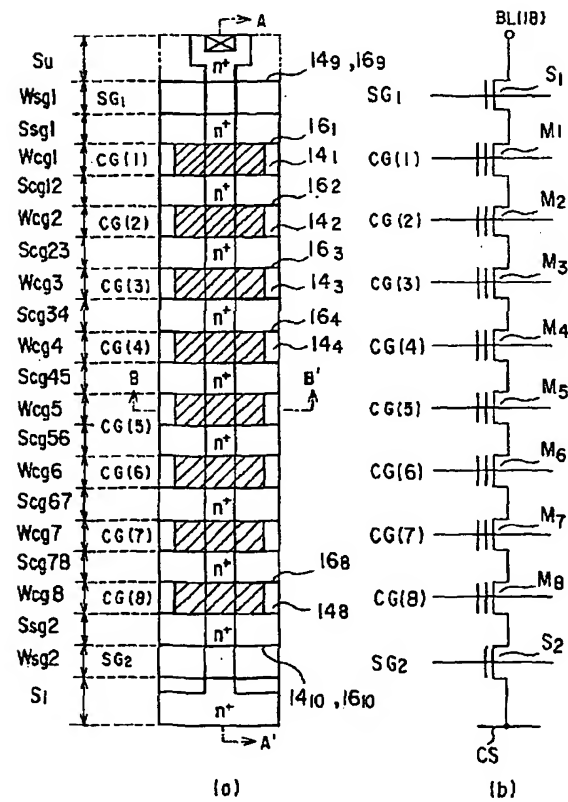
【図14】



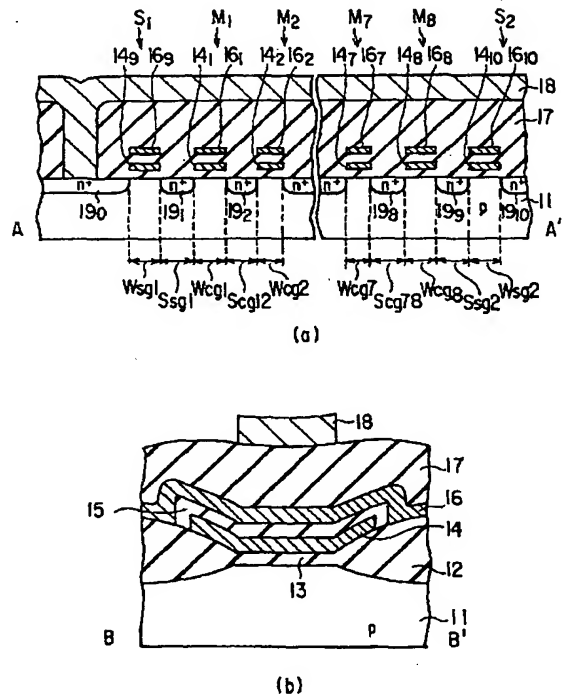
【図15】



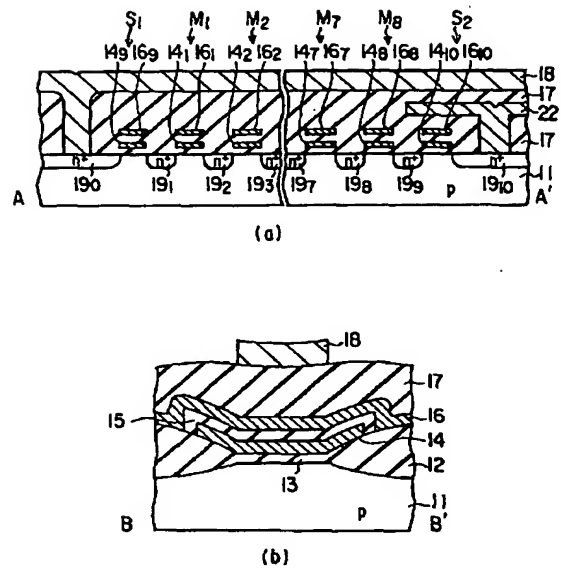
【図16】



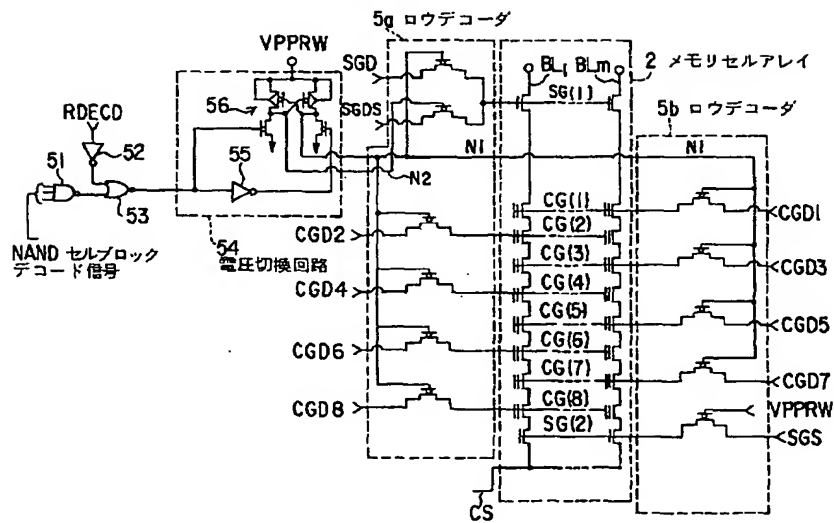
【図17】



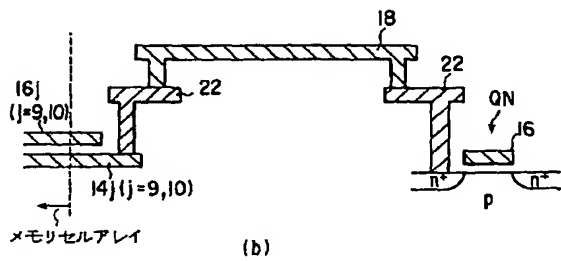
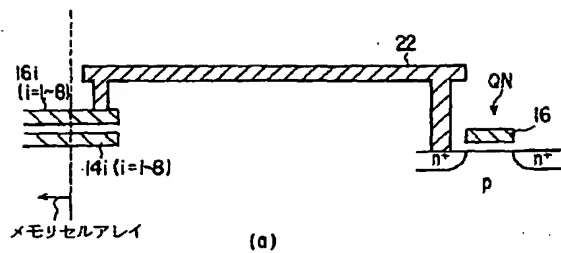
【圖 19】



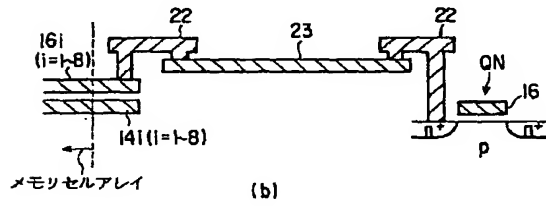
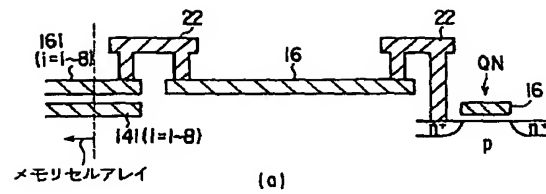
【図 20】



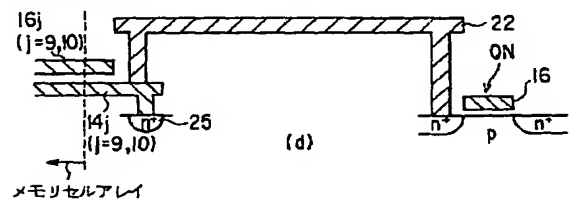
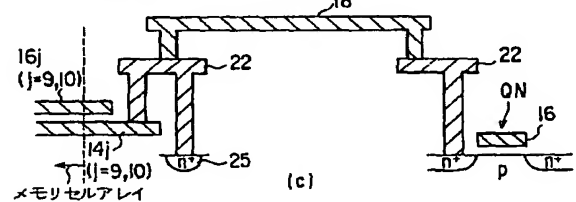
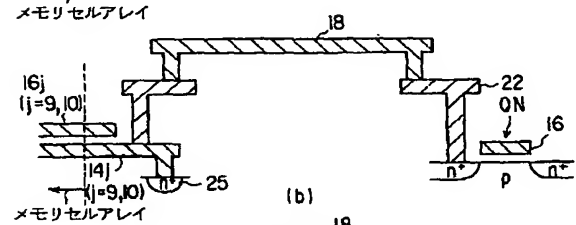
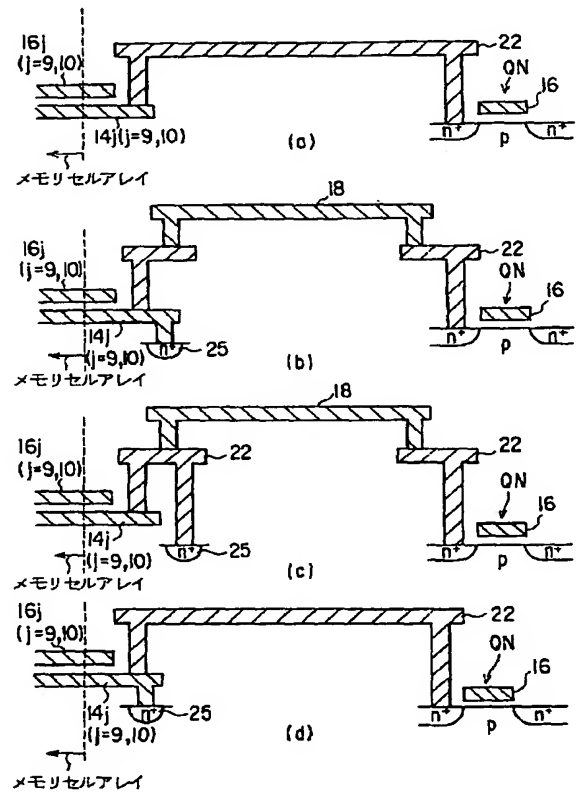
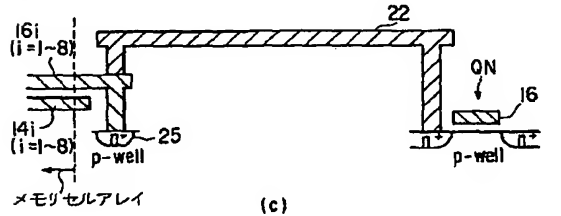
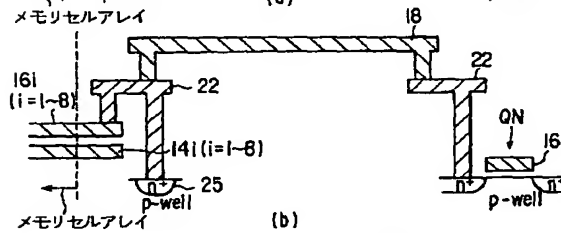
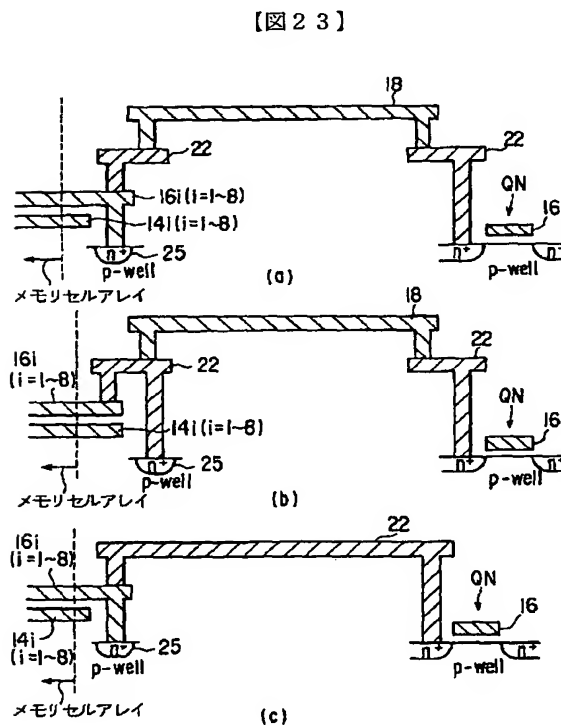
【図21】



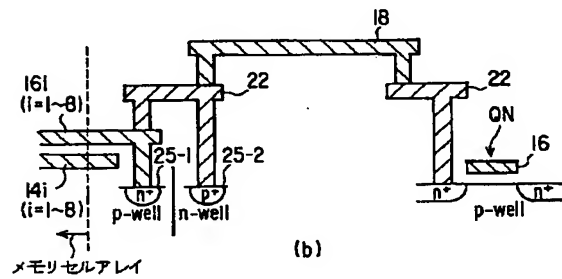
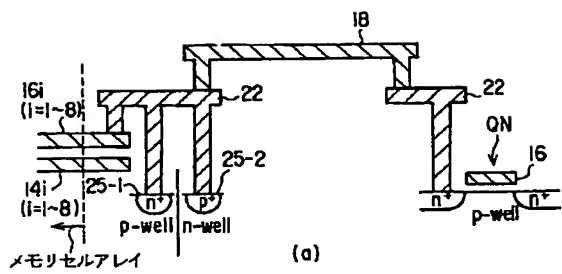
【図22】



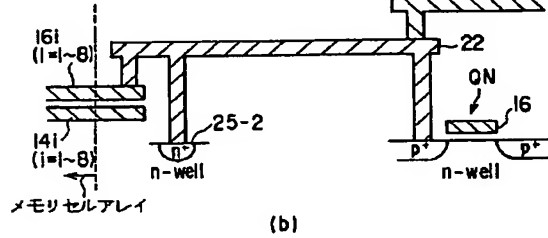
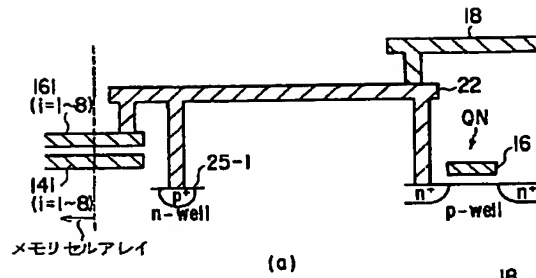
【図24】



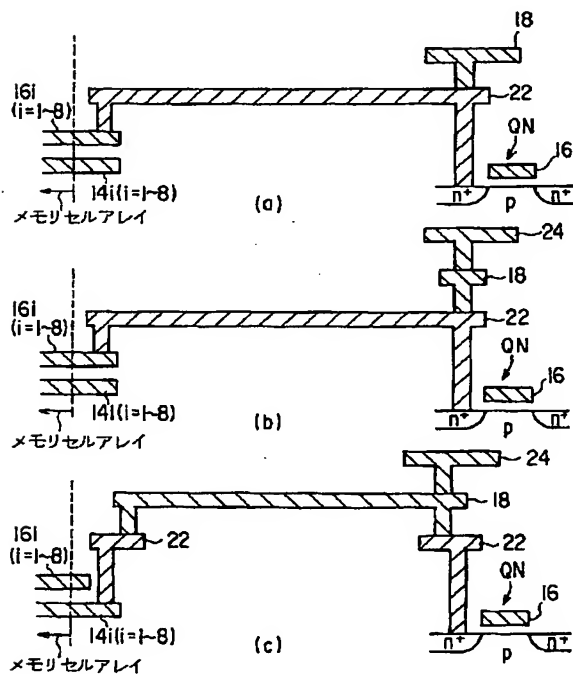
【図 25】



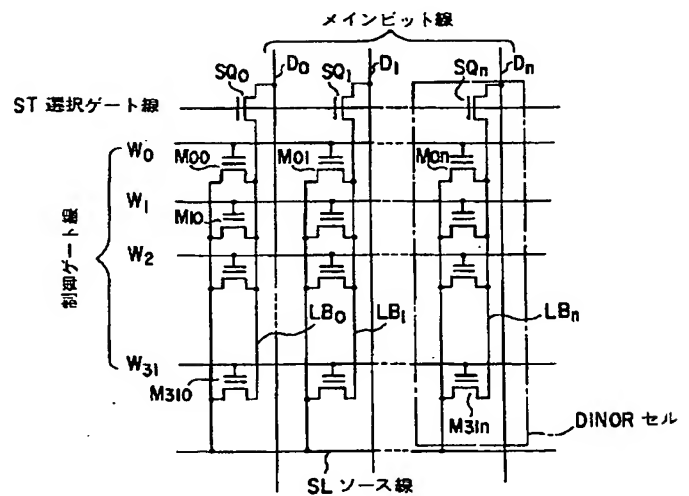
【図 26】



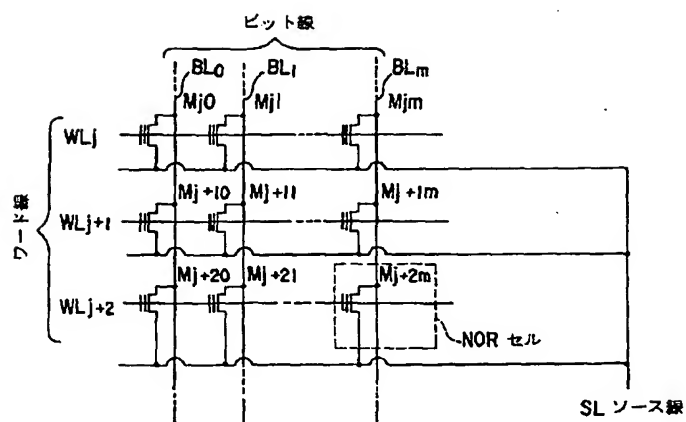
【図 27】



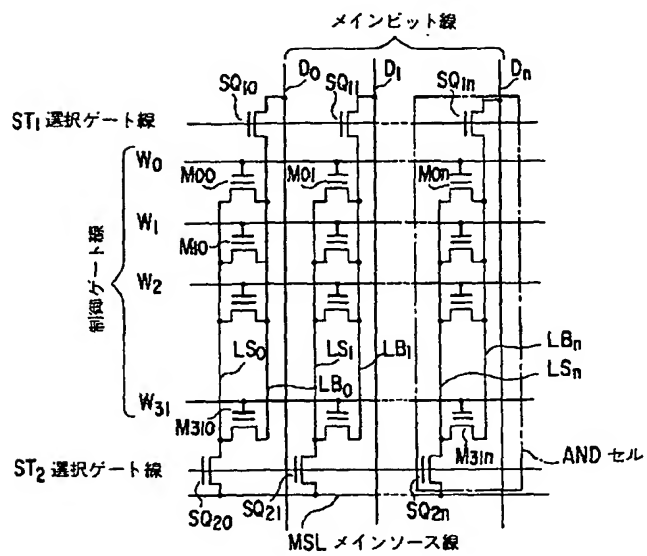
【図 29】



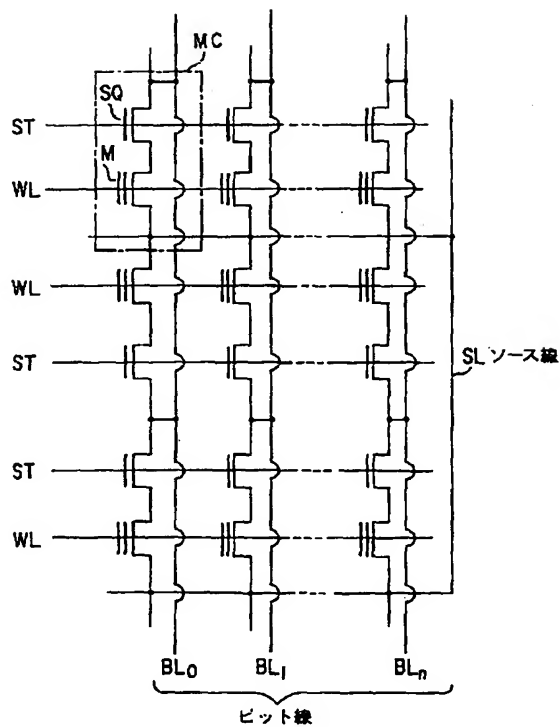
【図28】



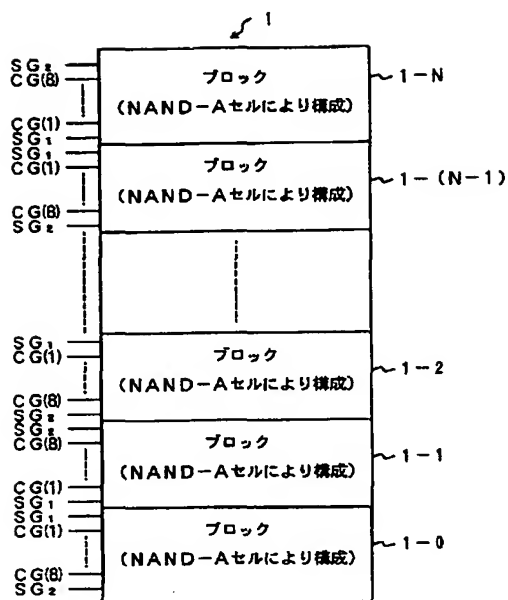
【図30】



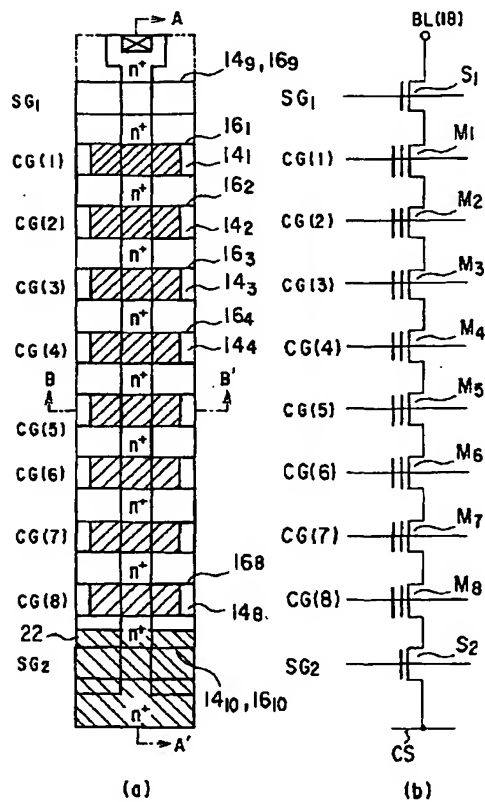
【図31】



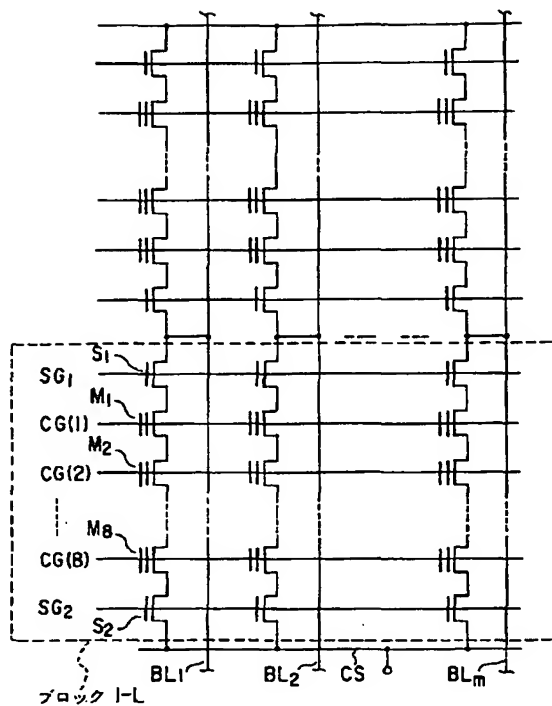
【図 3 2】



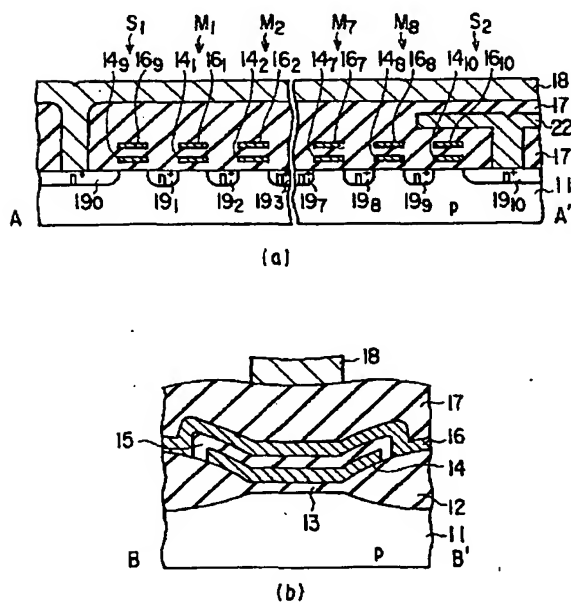
【図 3 4】



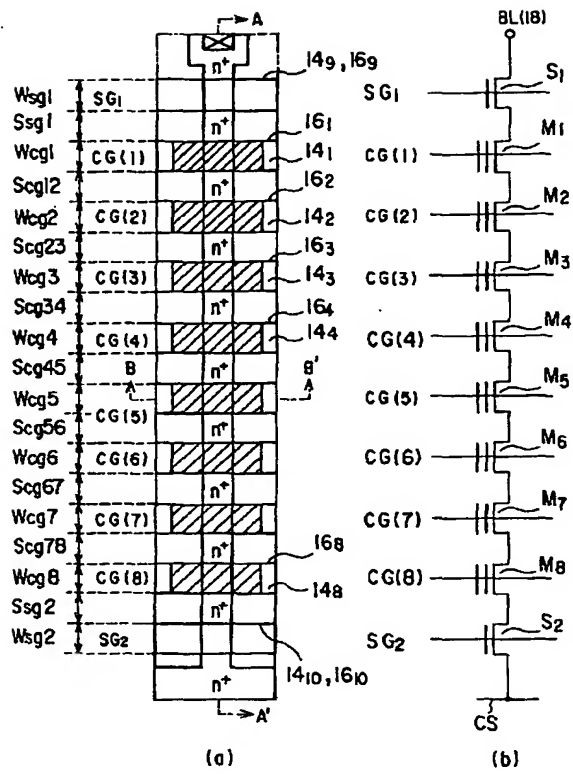
【図 3 3】



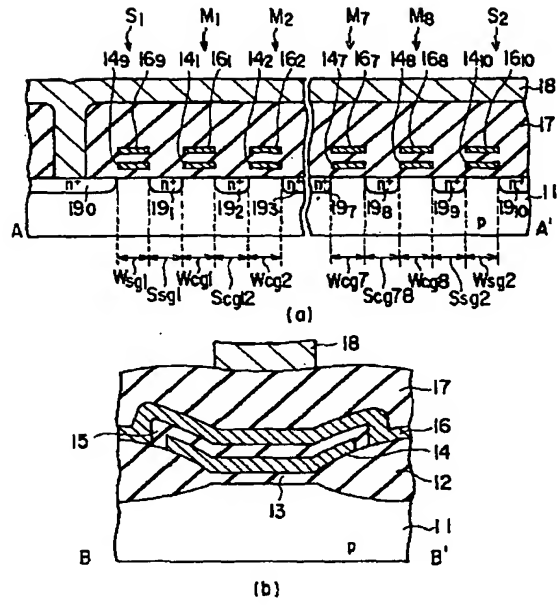
【図 3 5】



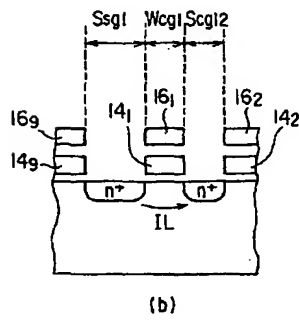
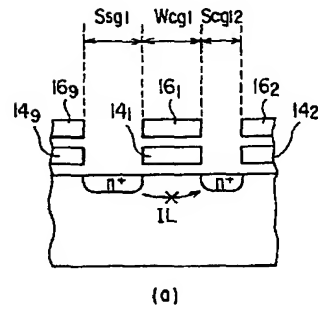
【図 36】



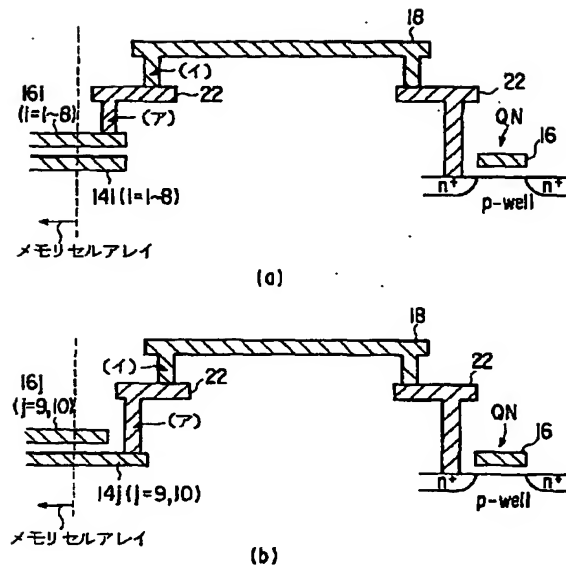
【図 37】



【図 38】



【図39】



フロントページの続き

(51) Int. Cl. 7  
H01L 29/792

識別記号

F I

テマコード (参考)

(72) 発明者 今宮 賢一  
神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内  
(72) 発明者 大平 秀子  
神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内  
(72) 発明者 竹内 健  
神奈川県川崎市幸区堀川町580番1号 株  
式会社東芝半導体システム技術センター内

(72) 発明者 清水 和裕  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内  
(72) 発明者 成田 一仁  
神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

Fターム (参考) 5B025 AA01 AC01 AE08  
5F001 AA01 AB08 AD05 AD12 AD19  
AD21 AD41 AD52 AD53 AE08  
AG09  
5F083 EP02 EP23 EP33 EP34 EP76  
EP77 EP78 EP79 ER21 KA06  
KA20 LA11 ZA28